

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

10869 U.S. PTO

09/619479



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 9 年 7 月 2 3 日

出 願 番 号

Application Number:

平成 1 1 年 特 許 願 第 2 1 0 0 0 4 号

出 願 人

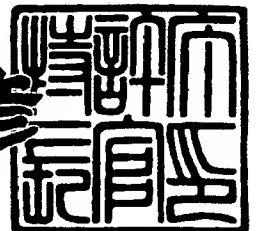
Applicant (s):

株式会社半導体エネルギー研究所

2 0 0 0 年 5 月 2 6 日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出 証 番 号 出 証 特 2 0 0 0 - 3 0 3 8 6 6 9

【書類名】 特許願

【整理番号】 P004273-09

【提出日】 平成11年 7月23日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 木村 肇

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像認識装置一体型表示装置

【特許請求の範囲】

【請求項 1】

アクティブ素子を有しマトリクス状に配置された複数の画素部と、前記画素部の電極としてを使用したアクティブマトリクス基板と、前記アクティブマトリクス基板上にマトリクス状に配置された複数のセンサ部と、を有する表示装置であって、前記センサ部は、光電変換素子を有しており、外部の画像を読み取る際には、前記透光性材料を通過した光を利用して情報を読みとることが可能な画像認識装置一体型表示装置。

【請求項 2】

請求項 1 記載のアクティブ素子はボトムゲート型の T F T で構成されている画像認識装置一体型表示装置。

【請求項 3】

アクティブ素子を有しマトリクス状に配置された複数の画素部と、前記画素部の電極として反射性材料と透光性材料とを使用したアクティブマトリクス基板と、表示パネルを構成する対向基板上にマトリクス状に配置された複数のセンサ部と、を有する表示装置であって、前記センサ部は、光電変換素子を有しており、外部の画像を読み取る際には、前記透光性材料を通過した光を利用して情報を読みとることが可能な画像認識装置一体型表示装置。

【請求項 4】

請求項 3 記載の対向基板上にはカラーフィルターが設けられている画像認識装置一体型表示装置。

【請求項 5】

アクティブ素子を有しマトリクス状に配置された複数の画素部と、前記画素部の電極として反射性材料と透光性材料とを使用したアクティブマトリクス基板と、前記アクティブマトリクス基板上にマトリクス状に配置された複数のセンサ部と、を有する表示装置であって、前記センサ部は、光電変換素子を有しており、前記光電変換素子の少なくとも一部は前記アクティブ素子と重畳するように延長

されている画像認識装置一体型表示装置。

【請求項 6】

請求項 5 記載のアクティブ素子は T O P ゲート型の T F T で構成されている画像認識装置一体型表示装置。

【請求項 7】

アクティブ素子を有しマトリクス状に配置された複数の画素部を有するアクティブマトリクス基板と、前記アクティブマトリクス基板上にマトリクス状に配置された複数のセンサ部と、を有する表示装置であって、前記画素に設けられた画素容量部はセンサ部に設けられた画像認識用の容量部を兼用している画像認識装置一体型表示装置。

【請求項 8】

請求項 7 記載の画素部の電極として反射性材料と透光性材料とを使用した画像認識装置一体型表示装置。

【発明の詳細な説明】

【 0 0 0 1】

【発明の属する技術分野】

【 0 0 0 2】

本発明は、画像認識機能と、画像の表示機能とを併せ持つ装置に関する。特に、マトリクス状に配置された複数の薄膜トランジスタ（T F T）によって構成されるアクティブマトリクス型の表示機能装置を有する装置に関する。

【 0 0 0 3】

【従来の技術】

近年、パソコン等の情報機器が広く普及し、様々な情報を電子情報としてパソコンなどに読み込みたいという要求が高くなっている。そのため、紙などに印刷されたものを読み取るための手段として、スキャナが注目されている。

しかしながら、このスキャナは、周辺機器として独立しており、操作が難しく、置き場所に困るなどの問題点があった。

【 0 0 0 4】

そのような状況において、カラースキャナとタッチ式パネルを一体化した液晶

パネルが実用化されている簡単にその構成を説明する。まず、液晶パネルがあり、その上に、ラインセンサを用いたカラスキャナが配置されている。スキャナを使用するときは、画面の上に原稿を置き、ラインセンサをスキャンさせて読み取らせている。このために大きな面積と容積を必要としていた。

【 0 0 0 5 】

また最近、ポリシリコン T F T と呼ばれる多結晶シリコンを用いた T F T 技術が鋭意研究されている。その成果として、ポリシリコン T F T によって、シフトレジスタ回路等を有する駆動回路を作製することが可能になり、画素部と、画素部を駆動する周辺駆動回路とを同一基板上に集積したアクティブマトリクス型の液晶パネルが実用化に至っている。そのため、液晶パネルが小型化、軽量化され、パーソナルコンピュータ、ビデオカメラやデジタルカメラ等の各種情報機器、携帯機器の表示部に用いられている。加えて、有機 E L など自己発光型の表示デバイスも開発が進んでいる。

【 0 0 0 6 】

【発明が解決しようとする課題】

【 0 0 0 7 】

最近では、ノート型パソコンよりも携帯性に優れ、安価なポケットサイズの小型携帯用情報処理端末装置（モバイルコンピュータ）が人気を博しており、その表示部にはアクティブマトリクス型液晶パネルが主として用いられている。このような情報処理端末装置は表示部からタッチペン方式でデータを入力可能となっているが、紙面上の文字・図画情報や、映像情報を入力するには、前述の様にスキャナーやデジタルカメラ等の画像を読み込むための周辺機器と接続することが必要である。そのため、情報処理端末装置の携帯性が損なわれている。また、使用者に周辺機器を購入するための経済的な負担をかけている。

【 0 0 0 8 】

また、アクティブマトリクス型液晶表示装置は、T V 会議システム、T V 電話、インターネット用端末等の表示部にも用いられている。これらシステムや端末では、対話者や使用者の映像を撮影するカメラ（C C D カメラ）を備えているが、表示部と読み取り部（センサ部）は個別に製造され、モジュール化されている

ため、製造コストが高いものとなっていた。

【0 0 0 9】

加えて、携帯情報端末装置は携帯性が一番の特徴である。そのため、出来だけその容積を少なくすることが望まれている。この容積を少なくするために、部品の小型化など様々な改良が加えられているが、電源となる電池部分は実際にその装置を使用する時間の長さを犠牲にできないという制限から小型化しにくいのが現状となっている。そのため、電池の改良だけでなく、端末装置自身の電力消費を抑えることで、電池部品の容積を小さくし、一定の使用時間を確保することが望まれていた。

この電力消費の大部分が液晶表示装置で必要とされる光源のためであることが指摘されている。

【0 0 1 0】

そこで本発明の目的は、上述の問題を鑑みてなされたものであり、画素マトリクス、イメージセンサ、およびそれらを駆動するための周辺回路を有する、すなわち、画像認識機能と表示機能とを兼ね備え、インテリジェント化された新規な画像認識装置一体型表示装置を提供することにある。

【0 0 1 1】

更に本発明の目的は、イメージセンサの構造・製造プロセスを、アクティブ素子の構造・製造プロセスと整合性を持たせることにより、インテリジェント化された新規な半導体装置を安価に作製することにある。

【0 0 1 2】

【課題を解決するための手段】

【0 0 1 3】

上記課題を解決するために、本発明は、画像を表示するための表示用画素マトリクス部の半導体装置および周辺駆動回路半導体装置と、画像情報を取り込む為のセンサー部とを同一パネル内に設ける構成とした。この場合、センサ部は表示用のアクティブ素子が設けられた基板上に設けることで、様々な効果を有することになる。一方、表示パネルを構成する対向基板側に設けることでも、達成できる。

【 0 0 1 4 】

また、画像表示のための表示用装置は画面の最小単位である画素において、光を反射するための電極部と透過するための電極部の両方を有する構成とした。本発明の構成は、以下に記す通りである。

【 0 0 1 5 】

本発明のある実施形態によると、

アクティブ素子を有しマトリクス状に配置された複数の画素部と、前記画素部の電極としてを使用したアクティブマトリクス基板と、前記アクティブマトリクス基板上にマトリクス状に配置された複数のセンサ部と、を有する表示装置であって、前記センサ部は、光電変換素子を有しており、外部の画像を読み取る際には、前記透光性材料を通過した光を利用して情報を読みとる構成とすることで、上記目的が達成される。 加えてこのときのアクティブ素子はT O Pゲート型のT F Tあるいはボトムゲート型のT F Tで構成とすることで、おのおのその実施形態に応じて上記目的が達成される。

【 0 0 1 6 】

また、ある実施形態によると

アクティブ素子を有しマトリクス状に配置された複数の画素部と、前記画素部の電極として反射性材料と透光性材料とを使用したアクティブマトリクス基板と、表示パネルを構成する対向基板上にマトリクス状に配置された複数のセンサ部と、を有する表示装置であって、前記センサ部は、光電変換素子を有しており、外部の画像を読み取る際には、前記透光性材料を通過した光を利用して情報を読みとる構成とすることで、上記目的が達成される。

加えて、上記構成において対向基板上にはカラーフィルターが設けられている構成とすることで、上記目的が達成される。

【 0 0 1 7 】

また、ある実施形態によると

アクティブ素子を有しマトリクス状に配置された複数の画素部と、前記画素部の電極として反射性材料と透光性材料とを使用したアクティブマトリクス基板と、前記アクティブマトリクス基板上にマトリクス状に配置された複数のセンサ部

と、を有する表示装置であって、前記センサ部は、光電変換素子を有しており、前記光電変換素子の少なくとも一部は前記アクティブ素子と重畳するように延長構成とすることで、上記目的が達成される。

【0018】

また、ある実施形態によると、

アクティブ素子を有しマトリクス状に配置された複数の画素部を有するアクティブマトリクス基板と、前記アクティブマトリクス基板上にマトリクス状に配置された複数のセンサ部と、を有する表示装置であって、前記画素に設けられた画素容量部はセンサ部に設けられた画像認識用の容量部を兼用することで、上記目的が達成される。さらにまたこの様な構成に対し画素部の電極として反射性材料と透光性材料とを使用することで、上記目的が達成される。

さらにまた、画素部の電極として反射性材料と透光性材料とを使用し、これら材料はセンサ部に設けられた画像認識用の容量部を構成する電極の少なくとも一部を兼ねた構成とすることで、上記目的が達成される。

【0019】

以下に本発明の装置の代表的な実施形態を図面等を参照しながら示す。なお、本発明の画像認識装置一体型表示装置は、以下に示す実施形態に限定されるわけではない。

【0020】

図1を参照する。図1には、本発明の画像認識装置一体型表示装置に適用する回路構成の一例を示している。説明の便宜上、図1においては、 2×2 （縦×横）画素の半導体装置の回路構成が示されているが、実際は多くの画素が実際の基板上に形成されている。例えば、VGA規格の表示装置の場合その画素数は 640×480 であり、SVGA規格のそれは 800×600 となる。周辺駆動回路は、簡単にブロックで示した。

【0021】

101は画素TFT、102は液晶、103は補助容量、104はセンサTFT、105はフォトダイオードPD、106は補助容量、107は信号増幅用TFT、108はリセットTFT、109および110はアナログスイッチである

。これら101～108によって構成される回路をマトリクス回路と呼ぶことにする。

【0022】

また、101および103を画素部A、104、105、106、107および108をセンサ部Bとする。111はセンサ出力信号線であり、112は画像入力信号線である。113および114は固定電位線である。また、115は画素ソース信号線側駆動回路、116は画素ゲイト信号線側駆動回路、117はセンサ水平駆動回路、118はセンサ垂直駆動回路である。

【0023】

本発明の画像認識装置一体型表示装置は、画像を表示する場合には、画像入力信号線から入力される画像信号（階調電圧）を、画素ソース信号線側駆動回路115および画素ゲイト信号線側駆動回路116によって画素TFTに供給し、画素TFTに接続された画素電極と対向電極とに挟まれた液晶を駆動し、画像を表示することができる。図1においては、画素ソース信号線側駆動回路115および画素ゲイト信号線側駆動回路116は、アナログ画像信号を扱うアナログ駆動回路が示されているが、これに限定されるわけではない。つまり、デジタル映像信号を取り扱うD/A変換回路を搭載したデジタル駆動回路を用いても良い。

【0024】

また、本発明の画像認識装置一体型表示装置は、入射する外部の画像情報（光信号）を光電変換素子であるフォトダイオードPD105で読み取り、電気信号に変換し、センサ水平駆動回路117およびセンサ垂直駆動回路118によって映像が取り込まれる。この映像信号は、センサ出力信号線111より他の周辺回路（メモリ、CPUなど）に取り込まれる。

【0025】

図2および図3には、本発明の画像認識装置一体型表示装置を構成部品に分解した様子を示している。図2および図3においては、各構成部品間の間隔は、説明の便宜上、大きく示されている。また、図2および図3においては、本発明の半導体装置をTN（ツイストネマチック）モードのノーマリホワイト（電圧が印加されていない時、白表示）として用いている。また、STNモード、ECBモ

ード、FLCやAFLC液晶またはいわゆるV字液晶を利用した複屈折モード等他のモードの液晶表示方法を用いることもできる。また、ノーマリブラック（電圧が印加されていない時、黒表示）で用いるようにしても良い。

【0026】

図2を参照する。図2には、本発明の半導体装置を画像表示モードで用いた場合の様子が示されている。201はアクティブマトリクス基板であり、図1で説明したマトリクス回路201-1、画素ソース信号線側駆動回路201-2、画素ゲート信号線側駆動回路201-3、センサ水平駆動回路210-4、センサ垂直駆動回路210-5、および他の周辺回路201-5を有している。なお、アクティブマトリクス基板の上面には、配向膜などが形成されているが、ここでは図示しない。

【0027】

概略図のため実際に指示できないのが、202で示唆される領域には液晶材料が存在している。203は対向基板であり、透明電極および配向膜（共に図示せず）を有している。204および205は偏光板であり、お互いクロスニコルとなるように配置されている。206はバックライトである。また、207は使用者（の目）を模式的に示したものであり、使用者が本発明の半導体装置を上部から観察している様子を示したものである。なお、偏光板に傷やほこりが付くのを防ぐために、上側偏光板207の上部には、ガラス基板やプラスチック基板などが設けられる（図示せず）。

【0028】

このアクティブマトリクス基板201には表示用の画素電極が設けられている。この画素の部分を図4に示す。通常この画素電極は透光性のITOなどが使用されるが、本発明においては透光性の材料301、303とアルミなどの反射性の材料302とを用いて、画素の中で部分的に光を通す部分301、303と光を反射する部分302とを設けてある。

【0029】

この光を通す部分の画素内でのレイアウトは任意に決めることができるが、本発明の画像認識装置一体型表示装置の必要とする特性にあわせてその位置、面積

割合などを変更できる。一例として示した図 4 は 2×2 画素の例である。図 4 では表示用の反射電極 302 とそれを挟むように表示用の透過電極 305 とセンサー用の窓 303 を配置している。このような配置によりセンサー用の光透過窓 303 は反射電極 302 と画素を取り囲むように形成された BM 304 で囲まれるので、画像読み取り時にはセンサーへの光が他の領域から回り込むことがないので、情報の読み取りの誤りを少なくできる。

【0030】

本発明の半導体装置が画像表示モードで用いられている場合、供給される映像信号（内蔵のメモリなどに記憶されている信号でもよいし、外部から供給される信号でもよい）に基づいて画素 TFT に階調電圧を供給し、液晶 202 を駆動する。なお、カラーフィルタを用いてカラー表示を行うこともできる。加えて、バックライト 206 を点灯せずに表示させた場合、反射電極 302 による反射型表示パネルとして使用でき、消費電力を減らすことができる。また、使用する状況がくらく反射型モードでは十分に見えないときには、バックライトを点灯し透過電極 305 で表示を行うことができ、必要に応じてパネルの消費電力を調整することができる。

【0031】

次に、図 3 を参照する。図 3 には、本発明の画像認識装置一体型表示装置を画像読み取りモードで用いた場合の様子が示されている。本発明装置を構成する構成部品については、図 2 の説明を参照されたい。なお、301 は画像読み取り対象物であり、例えば名刺や写真のようなものである。また、図 3 においては、画像読み取り対象物 301 は偏光板（あるいは図示されていないがガラス基板やプラスチック基板）と間隔をおいて示されているが、密着させるように配置するのが好ましい。

【0032】

本発明の画像認識装置一体型表示装置が画像読み取りモードで用いられている場合、画素 TFT には電圧は印加されず、全ての画素による表示が白表示となるようにする。こうすることによって、画像読み取り対象物 301 の表面にバックライト 206 の光を表示用の透過電極 305 を通して照射する。画像読み取り対

象物（原稿）301の表面に照射された光は、画像読み取り対象物301の表面で反射する。

【0033】

この時、この反射光は、画像読み取り対象物301の画像情報を有している。この反射光が、ガラス基板（図示せず）、偏光板、対向基板、液晶を通過し、画素部分のセンサー透過窓303を通し、ちょうどその窓に位置あわせされているアクティブマトリクス基板のアクティブマトリクス回路のセンサ部BにあるフォトダイオードPDによって検知され、電気信号に変換される。

【0034】

電気信号に変換された画像情報は、前述のようにセンサ出力信号線から取り出され、メモリ（同一基板上に形成されていても良いし、外部に配置されていても良い）に記憶される。このようにして、画像読み取り対象物301の画像が取り込まれる。

【0035】

また、名刺や写真を本発明の画像認識装置一体型表示装置に密着させた場合について説明したが、景色や人物像などをデジタルカメラ感覚で撮像し、その画像を取り込むこともできる。この場合にはバックライト206を点灯することなく画像を認識することになる。

【0036】

なお、センサ部Bによって電気信号に変換された画像を、画素部Aによって表示することによって、ほぼリアルタイムで表示することもできる。また、画素部Aにおいては、画像認識装置一体型表示装置の外部からのデータを表示することが可能な構成としてもよい。

【0037】

次に、本発明の画像認識装置一体型表示装置を構成するアクティブマトリクス基板の断面構造について説明する。図5を参照する。この画像認識装置一体型表示装置のアクティブマトリクス基板は、図2に示すように、1画素内に画素部Aとセンサ部Bとを有している。

【0038】

図5においては、画素TFTとセンサTFTとが示されている。基板400上には、画素TFTの遮光膜404が設けられており、裏面から入射する光から画素TFTを保護する構造としている。また、図のように、センサ部B側のセンサTFTに遮光膜405を設ける構成としてもよい。また、センサ部BのリセットTFTあるいは信号増幅用TFT（共に図示せず）にも遮光膜（図示せず）を設ける構成にしてもよい。また、これらの遮光膜は、基板400の裏面側に直接設ける構成としてもよい。

【0039】

この遮光膜404、405上に下地膜401を形成した後、表示部Aの画素TFT、センサ部BのセンサTFT、信号増幅用TFTならびにリセットTFT、および駆動回路や周辺回路を構成するTFTを同時に作製する。なお、ここでは、基板400の裏面とは、TFTが形成されていない基板面のことを指している。また、これらTFTの構成は、トップゲート型TFTであってもボトムゲート型TFTであっても構わない。図5においては、トップゲート型TFTの場合を例にとって示している。

【0040】

そして、センサTFTの電極419と接続する下部電極420を設ける。この下部電極420は、フォトダイオード（光電変換素子）の下部電極をなし、画素TFTの上部以外の画素領域に形成する。この下部電極420に光電変換層421を設け、さらにその上に上部電極422を設けることで、フォトダイオードを完成させる。なお、上部電極422には、透光性電極を用いる。

【0041】

一方、画素部の画素TFTは、電極416と接続する画素透光性電極424を設ける。またこの電極に接して反射電極425を形成する。図5では反射電極は透光性電極424の上に積層して設けたが、透光性電極424をパターニングして、一部で反射電極425と接し、反射電極だけの部分と透光性電極だけの部分を有する構造とすることでも、本発明の範囲を超えるものではない。

【0042】

この画素透光性電極はセンサ部Bおよび配線を覆う構成としてもよく、前述の

ように任意に反射電極と透光性電極の位置を配置することができる。図 5 では説明のために画素部 A とセンサ部 B との大きさが実際とは異なる。この大きさは前述のように画像認識装置一体型表示装置の仕様に応じて変更される設計事項である。

また、配線を覆う構成とした場合には、配線と画素電極との間に存在する絶縁膜を誘電体として、表示画素容量が形成される。

【 0 0 4 3 】

本発明の装置に適用可能なアクティブ素子の製造プロセスは、光電変換素子であるフォトセンサの作製工程が追加されたこと以外、従来の表示に装置の作製工程と概略同じである。このフォトセンサの構成としては P I N、P I、N I 等の異なる導電型を積層あるいは接触させることで構成したものや、ショットキーまたはヘテロ接合など異なる材料を積層あるいは接触させることで構成したものあるいは半導体材料自身の光感性などを利用することができる。

【 0 0 4 4 】

よって、従来の製造プロセスを用いることができるので、容易に、且つ、安価に作製することができる。また、本発明により作製した装置は、センサ機能を搭載しても、従来のパネルと形状及び大きさは変化しない。そのため、小型化、軽量化することができる。

【 0 0 4 5 】

【実施例】

以下に、本発明の半導体装置のある実施形態を説明するが、本発明が以下の実施例に限定されるわけではない。

【 0 0 4 6 】

(実施例 1)

【 0 0 4 7 】

本実施例においては、本発明一実施形態について、図 6 および図 7 を用いて断面形状から製造工程を説明する。なお、以下の説明では、画素 T F T とセンサ T F T とを代表的に取り上げるが、リセット T F T、信号増幅用 T F T、アナログスイッチ、駆動回路、および周辺回路を構成する P チャネル型 T F T および N チ

ャネル型 T F T も同時に作製され得る。また、画素透光性電極と画素反射電極とセンサ窓との配置関係は図 4 の様な平面配置関係となるように実施した。

【0048】

図 6 を参照する。まず、透明基板 400 全面に下地膜 401 を形成する。透明基板 400 としては、透明性を有するガラス基板や石英基板を用いることができる。下地膜 401 として、プラズマ C V D 法によって、酸化珪素膜を 150 nm の厚さに形成した。本実施例では、この下地膜形成工程前に、画素 T F T を裏面からの光から保護するための遮光膜 404、センサ T F T を裏面からの光から保護するための遮光膜 405 を設けた。この遮光膜は T a、W、C r などの金属材料あるいはその化合物や S i、シリサイドあるいはそれらと金属の積層物でも構わない。

【0049】

次に、プラズマ C V D 法によって非晶質珪素膜を 30 ~ 100 nm 好ましくは 30 nm の厚さに成膜し、その後エキシマレーザ光を照射して、多結晶珪素膜を形成した。なお、非晶質珪素膜の結晶化方法として、S P C と呼ばれる熱結晶化法、赤外線を照射する R T A 法、熱結晶化とレーザアニールとの用いる方法等を用いてさらにこれらを組み合わせてもよい。

【0050】

次に、多結晶珪素膜をパターンニングして、画素 T F T のソース領域、ドレイン領域、チャネル形成領域を構成する島状の半導体層 402、およびセンサ T F T のソース領域、ドレイン領域、チャネル形成領域を構成する島状の半導体層 403 を形成する。そして、これら半導体層を覆うゲイト絶縁膜 406 を形成する。ゲイト絶縁膜 406 はシラン (S i H₂) と N₂O を原料ガスに用いて、プラズマ C V D 法で 100 nm の厚さに形成する (図 6 (A))。

【0051】

次に、導電膜を形成する。ここでは、導電膜材料として、アルミニウムを用いたが、T a、W、T a N、W N、チタン、または、シリコンを主成分とする膜、もしくは、それらの積層膜であってもよい。本実施例では、スパッタ法でアルミニウム膜を 200 ~ 500 nm の厚さ、代表的には 300 nm に形成する。ヒロ

ックやウィスカの発生を抑制するために、アルミニウム膜にはスカンジウム（Sc）やチタン（Ti）やイットリウム（Y）を0.04～1.0重量%含有させる。

【0052】

次に、レジストマスクを形成し、前記アルミニウム膜をパターニングして、電極パターンを形成し、画素TF Tゲイト電極407、センサTF Tゲイト電極408を形成する。

【0053】

次に、公知の方法手段によりオフセット構造を形成する。又は公知の方法手段により、LDD構造を形成してもよい。このようにして不純物領域（ソース・ドレイン領域）409、410、412、413、およびチャネル領域411、414が形成される（図6（B））。なお、図6においては、説明の便宜上、Nチャネル型TF TであるセンサTF Tと画素TF Tとだけが示されているが、Pチャネル型TF Tも作製される。不純物元素としてはNチャネル型ならばP（リン）またはAs（砒素）、P型ならばB（ボロン）またはGa（ガリウム）を用いれば良い。

【0054】

そして、第1の層間絶縁膜415を形成し、不純物領域409、410、412、413に達するコンタクトホールを形成する。しかる後、金属膜を形成し、パターニングして、電極416～419を形成する。このとき、複数のTF Tを接続する配線が同時に形成される。

【0055】

本実施例では、第1の層間絶縁膜415を厚さ500nmの窒化珪素膜で形成する。第1の層間絶縁膜として、窒化珪素膜の他に、酸化珪素膜、窒化珪素膜を用いることができる。また、これらの絶縁膜の多層膜としても良い。

【0056】

また、電極および配線の出発膜となる金属膜として、本実施例では、スパッタ法で、チタン膜、アルミニウム膜、チタン膜でなる積層膜を形成する。これらの膜厚はそれぞれ100nm、300nm、100nmとする。以上のプロセスを

経て、画素 T F T とセンサ T F T が同時に完成する（図 6（C））。

【 0 0 5 7 】

次に、第 1 の層間絶縁膜 4 1 5 とセンサ T F T のドレイン電極 4 1 9 に接して金属膜を形成する。金属膜を成膜し、パターニングして、光電変換素子の下部電極 4 2 0 を形成する。本実施例では、この金属膜にスパッタ法によるアルミニウムを用いたが、その他の金属を用いることができる。例えば、チタン膜、アルミニウム膜、チタン膜でなる積層膜を用いてもよい。本実施例では T F T 用の配線 4 1 9 とセンサ用の電極 4 2 0 とを別の工程で作成したが、同時に形成することでも構わない。

【 0 0 5 8 】

この場合 4 1 9 を形成するマスクパターンを変更する事で容易にセンサ電極 4 2 0 も形成することができる。むしろ、同時に作成した方が、工程数削減によるコスト低減、歩留まり向上が図られ都合がよい。加えて、液晶表示の場合アクティブマトリクス基板の凹凸が激しいと液晶配向乱れなどを引き起こす原因となるので、4 1 9 と 4 2 0 は同時に形成されるほうがより好ましい。

【 0 0 5 9 】

図 7 を参照する。次に、光電変換層として機能する、水素を含有する非晶質珪素膜（以下、a - S i : H 膜と表記する）を基板全面に成膜し、パターニングをし、光電変換層 4 2 1 を作製する（図 7（A））。

【 0 0 6 0 】

次に、基板全面に透明導電膜を形成する。本実施例では透明導電膜として厚さ 2 0 0 n m の I T O をスパッタ法で成膜する。透明導電膜をパターニングし、上部電極 4 2 1 を形成する（図 7（A））。

【 0 0 6 1 】

そして、第 2 の層間絶縁膜 4 2 3 を形成する。第 2 の層間絶縁膜を構成する絶縁被膜として、ポリイミド、ポリアミド、ポリイミドアミド、アクリル等の樹脂膜を形成すると平坦な表面を得ることができるため、好ましい。あるいは積層構造とし、第 2 の層間絶縁膜の上層は上記の樹脂膜、下層は酸化珪素、窒化珪素、酸化窒化珪素等の無機絶縁材料の単層、多層膜を成膜してもよい。本実施例では

、絶縁被膜として厚さ $0.7\ \mu\text{m}$ のポリイミド膜を基板全面に形成した（図 7（B））。

【0062】

更に、第 2 の層間絶縁膜 423 にドレイン電極 416 に達するコンタクトホールを形成する。再度、基板全面に酸化亜鉛を主成分とした透光性膜を成膜し、パターンニングして、画素 TFT に接続された画素透光性電極 424 を形成する。次にこの上面に反射電極材料としてアルミニウムを全面に厚さ 200nm 形成、所定のマスクパターンによりエッチングして画素反射電極 530 を形成する。この透光性電極と反射電極とは接触することや酸溶液によるエッチング時に反応することがある。これらを防ぐために、電極材料の組み合わせは注意が必要である。本実施例では $\text{ZnO}-\text{Al}$ としたが、 $\text{ITO}-\text{Ti}$ 、 ITO と亜鉛の混合物と Al 、 Ti 、 Cr またはこれらの混合物あるいは積層体との組み合わせなどが考えられる。

【0063】

以上の工程を経て、図 7（C）、アクティブマトリクス基板が完成する。

【0064】

そして、このアクティブマトリクス基板と、対向基板とをシール材とで貼り合わせ、液晶を封入して画像認識装置一体型表示装置が完成する。この対向基板は、透過性基板上に透明導電膜、配向膜を形成して構成される。これ以外にも必要に応じてブラックマスクやカラーフィルタを設けることができる。

【0065】

このようにして作成した、センサ部と画素部とが同一基板上に形成されたアクティブマトリクス基板 400 と液晶パネルを組むためカラーフィルター 502 付きの対向基板 500 を張り合わせ、液晶パネルを形成する。この概略図を図 11（A）に示す。このような構成とすることで、かさばらず、携帯性に優れた画像認識装置一体型表示装置を実現できる。画像の表示並びに画像の認識の方法は前述の通りである。

【0066】

特に使用する場所に応じて、表示装置を反射型モードと透過型モードで使い分

けることができ、消費電力を抑えかつ、画像の認識の際には画素電極の透光性電極を通過したバックライト 5 0 1 からの光により原稿を読みとることができるという特徴を持つ。これにより画像認識装置一体型表示装置を組み込んだ P D A (携帯用個人端末) を非常に小さな容積に抑えることができ、かつ名刺、写真あるいはデジカメのような情報の読み取り機能を実現することができた。

【 0 0 6 7 】

また、偏光板 5 1 1 と対向基板との間に光学的効果を付加するシート 5 1 2 を設けることができ、このシートとして光ファイバープレートを設けた場合より多くの光を利用でき、レンズアレイシートを設けた場合、センサ上で原稿からの光を結像出来読み取り誤差をさらに少なくすることができる。

【 0 0 6 8 】

本発明の実施の形態について、以下に示す実施例により詳細な説明を行う。

(実施例 2)

本発明の画像認識装置一体型表示装置に適用できる T F T 素子の作成例として図 8 ～図 1 0 を用いて説明する。ここでは、画素部の画素 T F T および保持容量と、表示領域の周辺に設けられる駆動回路の T F T を同時に作製する方法について工程に従って詳細に説明する。

【 0 0 6 9 】

図 8 (A) において、基板 6 0 1 にはコーニング社の # 7 0 5 9 ガラスや # 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板の他に、ポリエチレンテレフタレート (P E T)、ポリエチレンナフタレート (P E N)、ポリエーテルサルフォン (P E S) など光学的異方性を有しないプラスチック基板を用いることができる。ガラス基板を用いる場合には、ガラス歪み点よりも 1 0 ～ 2 0 ℃ 程度低い温度であらかじめ熱処理しておいても良い。

【 0 0 7 0 】

そして、基板 6 0 1 の T F T を形成する表面に、基板 6 0 1 からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下地膜 6 0 2 を形成する。例えば、プラズマ C V D 法で S i H₄、N H₃、N₂

○から作製される酸化窒化シリコン膜 602a を 10～200 nm（好ましくは 50～100 nm）、同様に SiH₄、N₂O から作製される酸化窒化水素化シリコン膜 602b を 50～200 nm（好ましくは 100～150 nm）の厚さに積層形成する。

【0071】

酸化窒化シリコン膜は従来の平行平板型のプラズマ CVD 法を用いて形成する。酸化窒化シリコン膜 602a は、SiH₄ を 10 SCCM、NH₃ を 100 SCCM、N₂O を 20 SCCM として反応室に導入し、基板温度 325℃、反応圧力 40 Pa、放電電力密度 0.41 W/cm²、放電周波数 60 MHz とした。一方、酸化窒化水素化シリコン膜 602b は、SiH₄ を 5 SCCM、N₂O を 120 SCCM、H₂ を 125 SCCM として反応室に導入し、基板温度 400℃、反応圧力 20 Pa、放電電力密度 0.41 W/cm²、放電周波数 60 MHz とした。これらの膜は、基板温度を変化させ、反応ガスの切り替えのみで連続して形成することもできる。

【0072】

このようにして作製した酸化窒化シリコン膜 602a は、密度が $9.28 \times 10^{22}/\text{cm}^3$ であり、フッ化水素アンモニウム (NH₄HF₂) を 7.13% とフッ化アンモニウム (NH₄F) を 15.4% 含む混合溶液（ステラケミファ社製、商品名 LAL500）の 20℃ におけるエッチング速度が約 63 nm/min と遅く、緻密で硬い膜である。このような膜を下地膜に用いると、この上に形成する半導体層にガラス基板からのアルカリ金属元素が拡散するのを防ぐのに有効である。

【0073】

次に、25～80 nm（好ましくは 30～60 nm）の厚さで非晶質構造を有する半導体層 603a を、プラズマ CVD 法やスパッタ法などの公知の方法で形成する。例えば、プラズマ CVD 法で非晶質シリコン膜を 55 nm の厚さに形成する。非晶質構造を有する半導体膜には、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。

【0074】

また、下地膜 602 と非晶質半導体層 603a とは両者を連続形成することも

可能である。例えば、前述のように酸化窒化シリコン膜 602a と酸化窒化水素化シリコン膜 602b をプラズマ CVD 法で連続して成膜後、反応ガスを SiH_4 、 N_2O 、 H_2 から SiH_4 と H_2 或いは SiH_4 のみに切り替えれば、一旦大気雰囲気中に晒すことなく連続形成できる。その結果、酸化窒化水素化シリコン膜 602b の表面の汚染を防ぐことが可能となり、作製する TFT の特性バラツキやしきい値電圧の変動を低減させることができる。

【0075】

そして、結晶化の工程を行い非晶質半導体層 603a から結晶質半導体層 603b を作製する。その方法としてレーザーアニール法や熱アニール法（固相成長法）、またはラピットサーマルアニール法（RTA 法）を適用することができる。前述のようなガラス基板や耐熱性の劣るプラスチック基板を用いる場合には、特にレーザーアニール法を適用することが好ましい。RTA 法では、赤外線ランプ、ハロゲンランプ、メタルハライドランプ、キセノンランプなどを光源に用いる。

【0076】

或いは特開平 7-130652 号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質半導体層 603b を形成することもできる。結晶化の工程ではまず、非晶質半導体層が含有する水素を放出させておくことが好ましく、 $400\sim 500^\circ\text{C}$ で 1 時間程度の熱処理を行い含有する水素量を 5 atom% 以下にしてから結晶化させると膜表面の荒れを防ぐことができるので良い。

【0077】

結晶化をレーザーアニール法にて行う場合には、パルス発振型または連続発光型のエキシマレーザーやアルゴンレーザーをその光源とする。パルス発振型のエキシマレーザーを用いる場合には、レーザー光を線状に加工してレーザーアニールを行う。レーザーアニール条件は実施者が適宜選択するものであるが、例えば、レーザーパルス発振周波数 30 Hz とし、レーザーエネルギー密度を $100\sim 500\text{ mJ/cm}^2$ (代表的には $300\sim 400\text{ mJ/cm}^2$) とする。そして線状ビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率（オーバーラップ率）を $80\sim 98\%$ として行う。このようにして図 8 (B) に示すように結晶質半

導体層 603b を得ることができる。

【0078】

そして、結晶質半導体層 603b 上にフォトマスク 1 (PM1) を用い、フォトリソグラフィの技術を用いてレジストパターンを形成し、ドライエッチングによって結晶質半導体層を島状に分割し、島状半導体層 604~608 を形成する。ドライエッチングには CF_4 と O_2 の混合ガスを用いる。

【0079】

このような島状半導体層に対し、TFT のしきい値電圧 (V_{th}) を制御する目的で p 型を付与する不純物元素を $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ 程度の濃度で島状半導体層の全面に添加しても良い。半導体に対して p 型を付与する不純物元素には、ホウ素 (B)、アルミニウム (Al)、ガリウム (Ga) など周期律表第 13 族の元素が知られている。

【0080】

その方法として、イオン注入法やイオンドーピング法を用いることができるが、大面積基板を処理するにはイオンドーピング法が適している。イオンドーピング法ではジボラン (B_2H_6) をソースガスとして用いホウ素 (B) を添加する。このような不純物元素の注入は必ずしも必要でなく省略しても差し支えないが、特に n チャネル型 TFT のしきい値電圧を所定の範囲内に収めるために好適に用いる手法である。

【0081】

ゲート絶縁膜 609 はプラズマ CVD 法またはスパッタ法を用い、膜厚を $40 \sim 150 \text{ nm}$ としてシリコンを含む絶縁膜で形成する。例えば、 120 nm の厚さで酸化窒化シリコン膜から形成すると良い。また、 SiH_4 と N_2O に O_2 を添加させて作製された酸化窒化シリコン膜は、膜中の固定電荷密度が低減されているのでこの用途に対して好ましい材料となる。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い (図 8 (C))。

【0082】

図 8 (D) に示すように、ゲート絶縁膜 609 上にゲート電極を形成するため

の耐熱性導電層を形成する。耐熱性導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった複数の層から成る積層構造としても良い。このような耐熱性導電性材料を用い、例えば、導電性の窒化物金属膜から成る導電層（A）610と金属膜から成る導電層（B）611とを積層した構造とすると良い。導電層（B）611はタンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜（代表的にはMo-W合金膜、Mo-Ta合金膜）で形成すれば良く、導電層（A）610は窒化タンタル（Ta₃N₅）、窒化タングステン（WN）、窒化チタン（TiN）膜、窒化モリブデン（MoN）などで形成する。

【0083】

また、導電層（A）610はタングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層（B）611は低抵抗化を図るために含有する不純物濃度を低減させることが好ましく、特に酸素濃度に関しては30ppm以下とすると良かった。例えば、タングステン（W）は酸素濃度を30ppm以下とすることで20μΩcm以下の比抵抗値を実現することができた。

【0084】

導電層（A）610は10～50nm（好ましくは20～30nm）とし、導電層（B）611は200～400nm（好ましくは250～350nm）とすれば良い。Wをゲート電極とする場合には、Wをターゲットとしたスパッタ法で、アルゴン（Ar）ガスと窒素（N₂）ガスを導入して導電層（A）611を窒化タングステン（WN）で50nmの厚さに形成し、導電層（B）610をWで250nmの厚さに形成する。

【0085】

その他の方法として、W膜は6フッ化タングステン（WF₆）を用いて熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W

中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度 99.9999% の W ターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮して W 膜を形成することにより、抵抗率 $9 \sim 20 \mu\Omega\text{cm}$ を実現することができる。

【0086】

一方、導電層 (A) 610 に TaN 膜を、導電層 (B) 611 に Ta 膜を用いる場合には、同様にスパッタ法で形成することが可能である。TaN 膜は Ta をターゲットとしてスパッタガスに Ar と窒素との混合ガスを用いて形成し、Ta 膜はスパッタガスに Ar を用いる。また、これらのスパッタガス中に適量の Xe や Kr を加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。

【0087】

α 相の Ta 膜の抵抗率は $20 \mu\Omega\text{cm}$ 程度でありゲート電極に使用することができるが、 β 相の Ta 膜の抵抗率は $180 \mu\Omega\text{cm}$ 程度でありゲート電極とするには不向きであった。TaN 膜は α 相に近い結晶構造を持つので、この上に Ta 膜を形成すれば α 相の Ta 膜が容易に得られた。尚、図示しないが、導電層 (A) 610 の下に $2 \sim 20 \text{nm}$ 程度の厚さでリン (P) をドーブしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層 (A) 610 または導電層 (B) 611 が微量に含有するアルカリ金属元素がゲート絶縁膜 609 に拡散するのを防ぐことができる。いずれにしても、導電層 (B) 611 は抵抗率を $10 \sim 50 \mu\Omega\text{cm}$ の範囲ですることが好ましい。

【0088】

次に、フォトリソグラフィ (PM2) を用い、フォトリソグラフィーの技術を使用してレジストマスク 612 \sim 617 を形成し、導電層 (A) 610 と導電層 (B) 611 とを一括でエッチングしてゲート電極 618 \sim 622 と容量配線 623 を形成する。ゲート電極 618 \sim 622 と容量配線 623 は、導電層 (A) から成る 618a \sim 622a と、導電層 (B) から成る 618b \sim 622b とが一体として形成されている (図 9 (A))。

【0089】

導電層 (A) および導電層 (B) をエッチングする方法は実施者が適宜選択すれば良いが、前述のように W を主成分とする材料で形成されている場合には、高速でかつ精度良くエッチングを実施するために高密度プラズマを用いたドライエッチング法を適用することが望ましい。

【0090】

高密度プラズマを得る手法の一つとして、誘導結合プラズマ (Inductively Coupled Plasma: ICP) エッチング装置を用いると良い。ICP エッチング装置を用いた W のエッチング法は、エッチングガスに CF_4 と Cl_2 の 2 種のガスを反応室に導入し、圧力 0.5 ~ 1.5 Pa (好ましくは 1 Pa) とし、誘導結合部に 200 ~ 1000 W の高周波 (13.56 MHz) 電力を印加する。この時、基板が置かれたステージには 20 W の高周波電力が印加され、自己バイアスで負電位に帯電することにより、正イオンが加速されて異方性のエッチングを行うことができる。ICP エッチング装置を使用することにより、W などの硬い金属膜も 2 ~ 5 nm/秒のエッチング速度を得ることができる。

【0091】

また、残渣を残すことなくエッチングするためには、10 ~ 20 % 程度の割合でエッチング時間を増しオーバーエッチングをすると良い。しかし、この時に下地とのエッチングの選択比に注意する必要がある。例えば、W 膜に対する酸化窒化シリコン膜 (ゲート絶縁膜 609) の選択比は 2.5 ~ 3 であるので、このようなオーバーエッチング処理により、酸化窒化シリコン膜が露出した面は 20 ~ 50 nm 程度エッチングされて実質的に薄くなった。

【0092】

そして、n チャネル型 TFT に LDD 領域を形成するために、n 型を付与する不純物元素添加の工程 (n⁻ドープ工程) を行った。ここではゲート電極 618 ~ 622 をマスクとして自己整合的に n 型を付与する不純物元素をイオンドープ法で添加した。n 型を付与する不純物元素として添加するリン (P) の濃度は $1 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度範囲で添加する。このようにして、図 9 (B) に示すように島状半導体層に低濃度 n 型不純物領域 624 ~ 629 を形成

する。

【0093】

次に、nチャネル型TFTにおいて、ソース領域またはドレイン領域として機能する高濃度n型不純物領域の形成を行った（ n^+ ドーピング工程）。まず、フォトリソマスク3（PM3）を用い、レジストのマスク630～634を形成し、n型を付与する不純物元素を添加して高濃度n型不純物領域635～640を形成した。n型を付与する不純物元素にはリン（P）を用い、その濃度が $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度範囲となるようにフォスフィン（ PH_3 ）を用いたイオンドーピング法で行った（図9（C））。

【0094】

そして、pチャネル型TFTを形成する島状半導体層604、606にソース領域およびドレイン領域とする高濃度p型不純物領域644、645を形成する。ここでは、ゲート電極618、620をマスクとしてp型を付与する不純物元素を添加し、自己整合的に高濃度p型不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体膜605、607、608は、フォトリソマスク4（PM4）を用いてレジストマスク641～643を形成し全面を被覆しておく。

【0095】

高濃度p型不純物領域644、645はジボラン（ B_2H_6 ）を用いたイオンドーピング法で形成する。この領域のボロン（B）濃度は $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ となるようにする（図9（D））。この高濃度p型不純物領域644、645には、前工程においてリン（P）が添加されていて、高濃度p型不純物領域644a、645aには $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度で、高濃度p型不純物領域644b、645bには $1 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度で含有しているが、この工程で添加するボロン（B）の濃度を1.5から3倍となるようにすることにより、pチャネル型TFTのソース領域およびドレイン領域として機能する上で何ら問題はなかった。

【0096】

その後、図10（A）に示すように、ゲート電極およびゲート絶縁膜上から保

保護絶縁膜 646 を形成する。保護絶縁膜は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても保護絶縁膜 646 は無機絶縁物材料から形成する。保護絶縁膜 646 の膜厚は 100 ~ 200 nm とする。

【0097】

ここで、酸化シリコン膜を用いる場合には、プラズマ CVD 法で、オルトケイ酸テトラエチル (Tetraethyl Orthosilicate: TEOS) と O_2 とを混合し、反応圧力 40 Pa、基板温度 300 ~ 400 °C とし、高周波 (13.56 MHz) 電力密度 0.5 ~ 0.8 W/cm² で放電させて形成することができる。酸化窒化シリコン膜を用いる場合には、プラズマ CVD 法で SiH_4 、 N_2O 、 NH_3 から作製される酸化窒化シリコン膜、または SiH_4 、 N_2O から作製される酸化窒化シリコン膜で形成すれば良い。

【0098】

この場合の作製条件は反応圧力 20 ~ 200 Pa、基板温度 300 ~ 400 °C とし、高周波 (60 MHz) 電力密度 0.1 ~ 1.0 W/cm² で形成することができる。また、 SiH_4 、 N_2O 、 H_2 から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマ CVD 法で SiH_4 、 NH_3 から作製することが可能である。

【0099】

その後、それぞれの濃度で添加された n 型または p 型を付与する不純物元素を活性化する工程を行う。この工程はファーンেসアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法 (RTA 法) を適用することができる。熱アニール法では酸素濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下の窒素雰囲気中で 400 ~ 700 °C、代表的には 500 ~ 600 °C で行うものであり、本実施例では 550 °C で 4 時間の熱処理を行った。また、基板 601 に耐熱温度が低いプラスチック基板を用いる場合にはレーザーアニール法を適用することが好ましい (図 10 (B))。

【0100】

活性化の工程の後、さらに、3 ~ 100 % の水素を含む雰囲気中で、300 ~

450℃で1～12時間の熱処理を行い、島状半導体膜を水素化する工程を行った。この工程は熱的に励起された水素により島状半導体膜にある $10^{16} \sim 10^{18} / \text{cm}^3$ のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0101】

活性化および水素化の工程が終了したら、有機絶縁物材料からなる層間絶縁膜147を1.0～2.0 μm の平均厚を有して形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、クリーンオープンで300℃で焼成して形成する。また、アクリルを用いる場合には、2液性のものを用い、主材と硬化剤を混合した後、スピナーを用いて基板全面に塗布した後、ホットプレートで80℃で60秒の予備加熱を行い、さらにクリーンオープンで250℃で60分焼成して形成することができる。

【0102】

このように、層間絶縁膜を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減することができる。しかし、吸湿性があり保護膜としては適さないので、本実施例のように、保護絶縁膜646として形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などと組み合わせて用いる必要がある。

【0103】

その後、フォトマスク5（PM5）を用い、所定のパターンのレジストマスクを形成し、それぞれの島状半導体膜に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成する。コンタクトホールの形成はドライエッチング法により行う。この場合、エッチングガスに CF_4 、 O_2 、Heの混合ガスを用い有機樹脂材料から成る層間絶縁膜をまずエッチングし、その後、続いてエッチングガスを CF_4 、 O_2 として保護絶縁膜646をエッチングする。さらに、島状半導体層との選択比を高めるために、エッチングガスを CHF_3 に切り替えてゲート絶縁膜をエッチングすることにより、良好にコンタクトホールを形成する

ことができる。

【0104】

そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、フォトマスク 6 (PM6) によりレジストマスクパターンを形成し、エッチングによってソース配線 648~652 とドレイン配線 653~658 を形成する。ここで、ドレイン配線 657 は画素電極として機能するものである。図示していないが、本実施例ではこの電極を、Ti 膜を 50~150nm の厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、その Ti 膜上に重ねてアルミニウム (Al) を 300~400nm の厚さで形成して配線とした。

【0105】

この状態で水素化処理を行うと TFT の特性向上に対して好ましい結果が得られた。例えば、3~100% の水素を含む雰囲気中で、300~450℃ で 1~12 時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。また、このような熱処理により保護絶縁膜 646 や、下地膜 602 に存在する水素を島状半導体膜 604~608 に拡散させ水素化をすることもできる。いずれにしても、島状半導体膜 604~608 中の欠陥密度を $10^{16}/\text{cm}^3$ 以下とすることが望ましく、そのために水素を 0.01~0.1 atomic% 程度付与すれば良かった (図 10 (C))。

【0106】

こうして 6 枚のフォトマスクにより、同一の基板上に、駆動回路の TFT と画素部の画素 TFT とを有した基板を完成させることができる。駆動回路には第 1 の p チャネル型 TFT 700、第 1 の n チャネル型 TFT 701、第 2 の p チャネル型 TFT 702、第 2 の n チャネル型 TFT 703、画素部には画素 TFT 704、保持容量 705 が形成されている。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0107】

駆動回路の第 1 の p チャネル型 TFT 700 には、島状半導体膜 604 にチャネル形成領域 706、高濃度 p 型不純物領域から成るソース領域 707a、70

7b、ドレイン領域708a, 708bを有したシングルドレインの構造を有している。第1のnチャネル型TFT701には、島状半導体膜605にチャネル形成領域709、ゲート電極619と重ならないLDD領域710、ソース領域712、ドレイン領域711を有している。このLDD領域のチャネル長方向の長さは1.0~4.0 μ m、好ましくは2.0~3.0 μ mとした。nチャネル型TFTにおけるLDD領域の長さをこのようにすることにより、ドレイン領域近傍に発生する高電界を緩和して、ホットキャリアの発生を防ぎ、TFTの劣化を防止することができる。

【0108】

駆動回路の第2のpチャネル型TFT702は同様に、島状半導体膜606にチャネル形成領域713、高濃度p型不純物領域から成るソース領域714a、714b、ドレイン領域715a, 715bを有したシングルドレインの構造を有している。第2のnチャネル型TFT703には、島状半導体膜607にチャネル形成領域716、LDD領域717、718、ソース領域720、ドレイン領域719が形成されている。このTFTのLDDの長さも1.0~4.0 μ mとして形成した。画素TFT704には、島状半導体膜608にチャネル形成領域721、722、LDD領域723~725、ソースまたはドレイン領域726~728を有している。LDD領域のチャネル長方向の長さは0.5~4.0 μ m、好ましくは1.5~2.5 μ mである。

【0109】

さらに、容量配線623と、ゲート絶縁膜と同じ材料から成る絶縁膜と、画素TFT704のドレイン領域728に接続する半導体層729とから保持容量705が形成されている。図10(C)では画素TFT704をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0110】

次に画素透光性電極670としてZnOをスパッタ法により厚さ100nmに形成しエッチング加工して所定の電極とする。本実施例ではアクティブマトリクス基板にはセンサを設けないので、センサ用の窓を設けることはなく、画素電極

を反射電極と透光性電極とで構成する。後で対向基板と張り合わせ、表示パネルとした際に平面的な配置として、各画素に対応してセンサを配置できるように画素電極パターンを設計した。

【0 1 1 1】

対向側の基板として、アクティブマトリクス側基板と同じ材料のガラスを使用する。この基板上に実施例 1 と同様の製造方法にてセンサ部をあらかじめ設計された配置で形成する。このセンサを駆動する回路に関しては前述の多結晶シリコン T F T の製造工程を適用し、センサと同一基板に形成してもよい、また、マトリクス配線とセンサ素子のみ形成し、駆動回路は外付けの I C で行うことも可能であるが、本発明の目的の一つである携帯性という点だけで考えると、駆動回路も基板上に作り込んだ方が、より小さな容積を実現しやすくなる。本実施例では同一基板上に駆動回路とセンサとを設けた。(図 1 1 (B) 5 0 3)

【0 1 1 2】

この基板のもう一方の面に公知の技術を用い、あらかじめ設計された場所にアクリル系樹脂で構成されたカラーフィルター 5 0 2 を R G B で形成する。このカラーフィルターはセンサ部 5 0 3 の上に設けることも可能である。

【0 1 1 3】

このようにして形成された、対向基板 5 0 0 とアクティブマトリクス基板 6 0 1 とを重ね合わせ、図 1 1 (B) のような画像認識装置一体型表示装置を実現した。実施例 1 と比較して、本実施例 2 では原稿とセンサ部との距離が短いために情報の読み取り誤差(いわゆるぼけ)が少ないという点で有利である。また、偏光板 5 1 1 と対向基板との間に光学的効果を付加するシート 5 1 2 を設けることができ、このシートとして光ファイバプレート設けた場合より多くの光を利用でき、レンズアレイシートを設けた場合、センサ上で原稿からの光を結像出来読み取り誤差をさらに少なくすることができる。

【0 1 1 4】

本実施例では対向基板にカラーフィルターとセンサ部とを設けたが、いわゆるモノクロ表示の場合カラーフィルターは不要となるが、原稿とより近い位置にセンサを設けることについては本実施例と同様の効果を持つ。

【0 1 1 5】

特に使用する場所に応じて、表示装置を反射型モードと透過型モードで使い分けることができ、消費電力を抑えつつ、画像の認識の際には画素電極の透光性電極を通過したバックライト 5 0 1 からの光により原稿を読みとることができるという特徴を持つ。これにより画像認識装置一体型表示装置を組み込んだ P D A（携帯用個人端末）を非常に小さな容積に抑えることができ、かつ名刺、写真あるいはデジカメのような情報の読み取り機能を実現することができた。

【0 1 1 6】

（実施例 3）

【0 1 1 7】

本実施例は図 1 2 に記載されているアクティブマトリクス基板を図 1 1（A）に記載の本発明装置の基板として使用することで実現される。実施例 1 とはセンサ素子とスイッチング用のアクティブ素子との基板に対する位置関係が反転している。この T F T 素子は T O P ゲート構造を採用している。

【0 1 1 8】

実施例 1 においては必要に応じて T F T 素子の下側に遮光層 4 0 5, 4 0 6 を形成していたが、本実施例においてはセンサ素子自身がこの遮光層を兼ねる構成としている。これにより、工程の短縮化が図られ、透過モードでの表示の際に必要なバックライト光による T F T 素子の誤動作（クロストーク）を防止することができた。

【0 1 1 9】

本実施例においては、センサ素子の全部が T F T 素子の遮光層となるように延長されていたが、少なくとも一部が延長され、T F T 素子のクロストークを抑える機能を有していれば、同様の効果を得ることができる。

【0 1 2 0】

本実施例に適用可能な半導体装置の作成は実施例 1 あるいは実施例 2 に記載の工程に従って作成することができる。

【0 1 2 1】

（実施例 4）

【0122】

本実施例は図13に記載されているアクティブマトリクス基板を図11(A)に記載の本発明装置の基板として使用することで実現される。実施例1とはセンサ素子とスイッチング用のアクティブ素子構造が異なりボトムゲート型のTFTを使用している。

【0123】

実施例1においては必要に応じてTFT素子の下側に遮光層405、406を形成していたが、本実施例においてはTFT素子のゲート電極708自身がこの遮光層を兼ねる構成としている。これにより、特別に遮光層を設ける工程の短縮化が図られ、透過モードでの表示の際に必要なバックライト光によるTFT素子の誤動作（クロストーク）を防止することができた。

【0124】

(実施例5)

【0125】

本実施例では図14を参照し説明する。図14には、本発明の画像認識装置一体型表示装置に適用しうる回路構成の一例を示している。説明の便宜上、図14においては、2×2（縦×横）画素の半導体装置の回路構成が示されているが、実際は多くの画素が実際の基板上に形成されている。例えば、VGA規格の表示装置の場合その画素数は640×480であり、SVGA規格のそれは800×600となる。周辺駆動回路は、簡単にブロックで示した。

【0126】

101は画素TFT、102は液晶、103は補助容量、104はセンサTFT、105はフォトダイオードPD、106は補助容量、107は信号増幅用TFT、108はリセットTFT、109および110はアナログスイッチである。これら101～108によって構成される回路をマトリクス回路と呼ぶことにする。また、101および103を画素部A、104、105、106、107および108をセンサ部Bとする。111はセンサ出力信号線であり、112は画像入力信号線である。114は固定電位線である。また、115は画素ソース信号線側駆動回路、116は画素ゲイト信号線側駆動回路、117はセンサ水平

駆動回路、1 1 8はセンサ垂直駆動回路である。

【0 1 2 7】

本発明の画像認識装置一体型表示装置は、画像を表示する場合には、画像入力信号線から入力される画像信号（階調電圧）を、画素ソース信号線側駆動回路1 1 5および画素ゲイト信号線側駆動回路1 1 6によって画素T F Tに供給し、画素T F Tに接続された画素電極と対向電極とに挟まれた液晶を駆動し、画像を表示することができる。

【0 1 2 8】

この図1 4は図1と比較して、各画素に設けられている補助容量1 0 3とセンサに設けられている補助容量1 0 6とが同じ固定電位線1 1 4に接続されていることが特徴である。すなわち図5に記載された断面図においてセンサの上部透明電極4 2 2と画素の反射電極4 2 5あるいは画素透光性電極4 2 4とが重なり合っている構成とすることと、この間に設けられている層間絶縁膜4 2 3が誘電体であることにより、この部分で積極的にコンデンサーを実現できる。これが、図1 4で示すところの補助容量1 0 3並びに1 0 6とすることができる。

【0 1 2 9】

この構成とすることにより、基板内で容量の面積を半分にすることができる。すなわち、表示の際に必要な補助容量1 0 3と画像読み取りの際に必要な補助容量1 0 6とは結局の所同時に使用されることがないため、本実施例のように兼用する事ができる。これにより、基板の有効利用や製造工程の短縮を実現できる。

【0 1 3 0】

図1 4においては、画素ソース信号線側駆動回路1 1 5および画素ゲイト信号線側駆動回路1 1 6は、アナログ画像信号を扱うアナログ駆動回路が示されているが、これに限定されるわけではない。つまり、デジタル映像信号を取り扱うD/A変換回路を搭載したデジタル駆動回路を用いても良い。

【0 1 3 1】

また、本発明の画像認識装置一体型表示装置は、入射する外部の画像情報（光信号）を光電変換素子であるフォトダイオードP D 1 0 5で読み取り、電気信号に変換し、センサ水平駆動回路1 1 7およびセンサ垂直駆動回路1 1 8によって

映像が取り込まれる。この映像信号は、センサ出力信号線 1 1 1 より他の周辺回路（メモリ、CPU など）に取り込まれる。また、補助容量だけでなく、表示用の駆動回路と画像認識用の駆動回路とを兼用することも可能となる。

【 0 1 3 2 】

本実施例の半導体装置の製造方法については、実施例 1 を参照して容易に実現することができる。

【 0 1 3 3 】

【発明の効果】

【 0 1 3 4 】

本発明の半導体装置の製造プロセスは、光電変換素子の作製工程の追加以外、従来の表示装置と同じである。よって、従来の製造プロセスを用いることができるので、容易に、且つ、安価に作製することができる。また、本発明により作製した半導体装置は、センサ機能を搭載しても、従来のパネルと基板形状及び大きさは変化しない。そのため、小型化、軽量化することができる。

【 0 1 3 5 】

また、センサセルの受光面積は、表示セルの画素面積の概略同程度であり、単結晶 CCD と比較して大きいため、本発明のセンサは高感度とすることができる。さらに、本発明の半導体装置のイメージセンサで消費される電力も CCD 構造に比較すれば小さいものとすることができる。

【 0 1 3 6 】

表示装置の構成を反射モードと透過モードを実現できるようにしているために、装置全体の消費電力を抑えることができ、特に携帯端末においては容積の減少を容易に実現できる上で大きな特徴となる。

【 0 1 3 7 】

特に使用する場所に応じて、表示装置を反射型モードと透過型モードで使い分けることができ、消費電力を抑えかつ、画像の認識の際には画素電極の透光性電極を通過したバックライト 5 0 1 からの光により原稿を読みとることができるという特徴を持つ。これにより画像認識装置一体型表示装置を組み込んだ P D A （携帯用個人端末）を非常に小さな容積に抑えることができ、かつ名刺、写真ある

いはデジカメのような情報の読み取り機能を実現することができた

【図面の簡単な説明】

【図 1】 本発明の画像認識装置一体型表示装置のある実施形態の回路図である。

【図 2】 本発明の画像認識装置一体型表示装置の分解図である。

【図 3】 本発明の画像認識装置一体型表示装置の分解図である。

【図 4】 本発明の画像認識装置一体型表示装置の画素付近の概略配置図である。

【図 5】 本発明の画像認識装置一体型表示装置のある実施形態のアクティブマトリクス基板の断面図である。

【図 6】 本発明の画像認識装置一体型表示装置の一作製方法を示す図である。

【図 7】 本発明の画像認識装置一体型表示装置の一作製方法を示す図である。

【図 8】 本発明の画像認識装置一体型表示装置の一作製方法を示す図である。

【図 9】 本発明の画像認識装置一体型表示装置の一作製方法を示す図である。

【図 10】 本発明の画像認識装置一体型表示装置の一作製方法を示す図である。

【図 11】 本発明の画像認識装置一体型表示装置の概略の構成を示す断面図である。

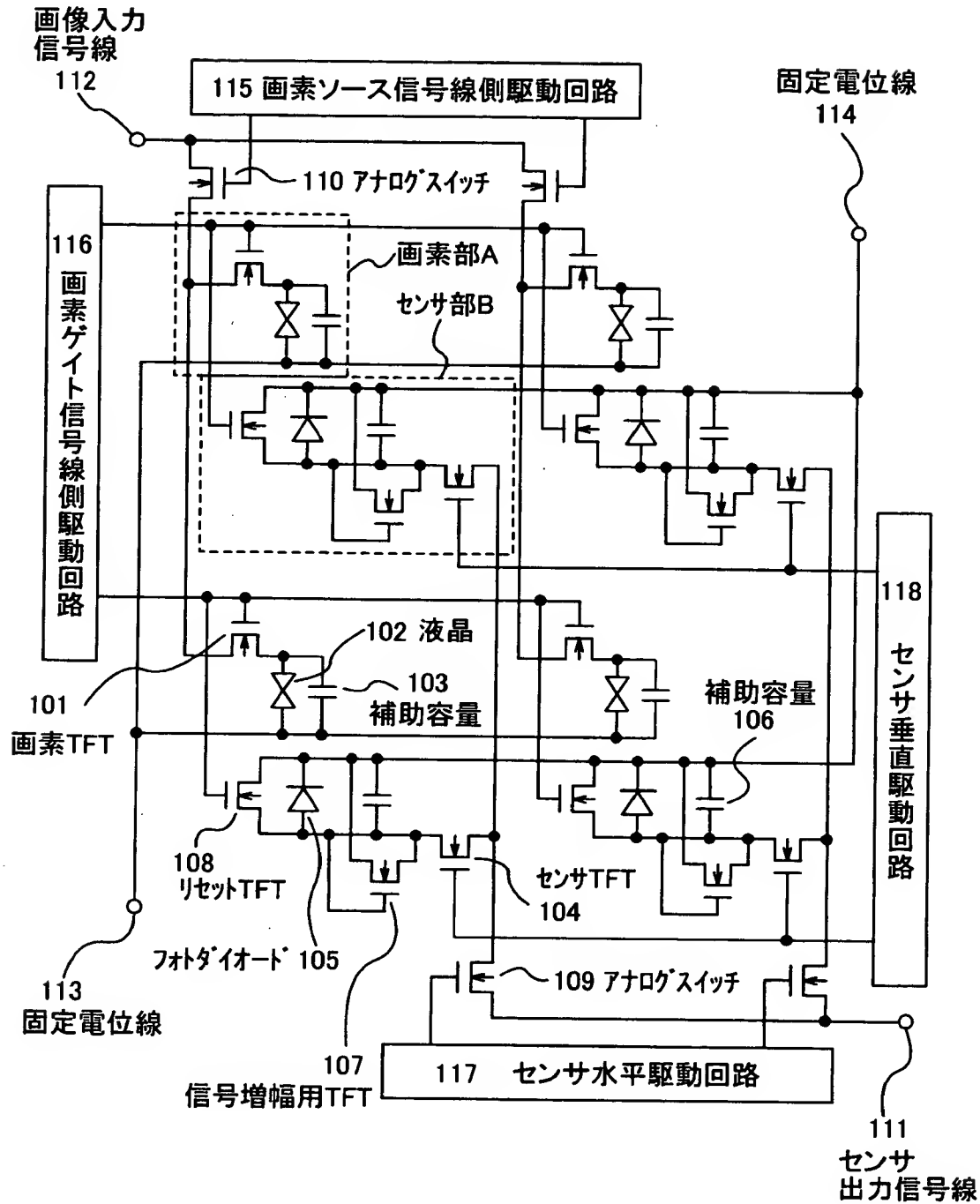
【図 12】 本発明の画像認識装置一体型表示装置のある実施形態のアクティブマトリクス基板の断面図である。

【図 13】 本発明の画像認識装置一体型表示装置のある実施形態のアクティブマトリクス基板の断面図である。

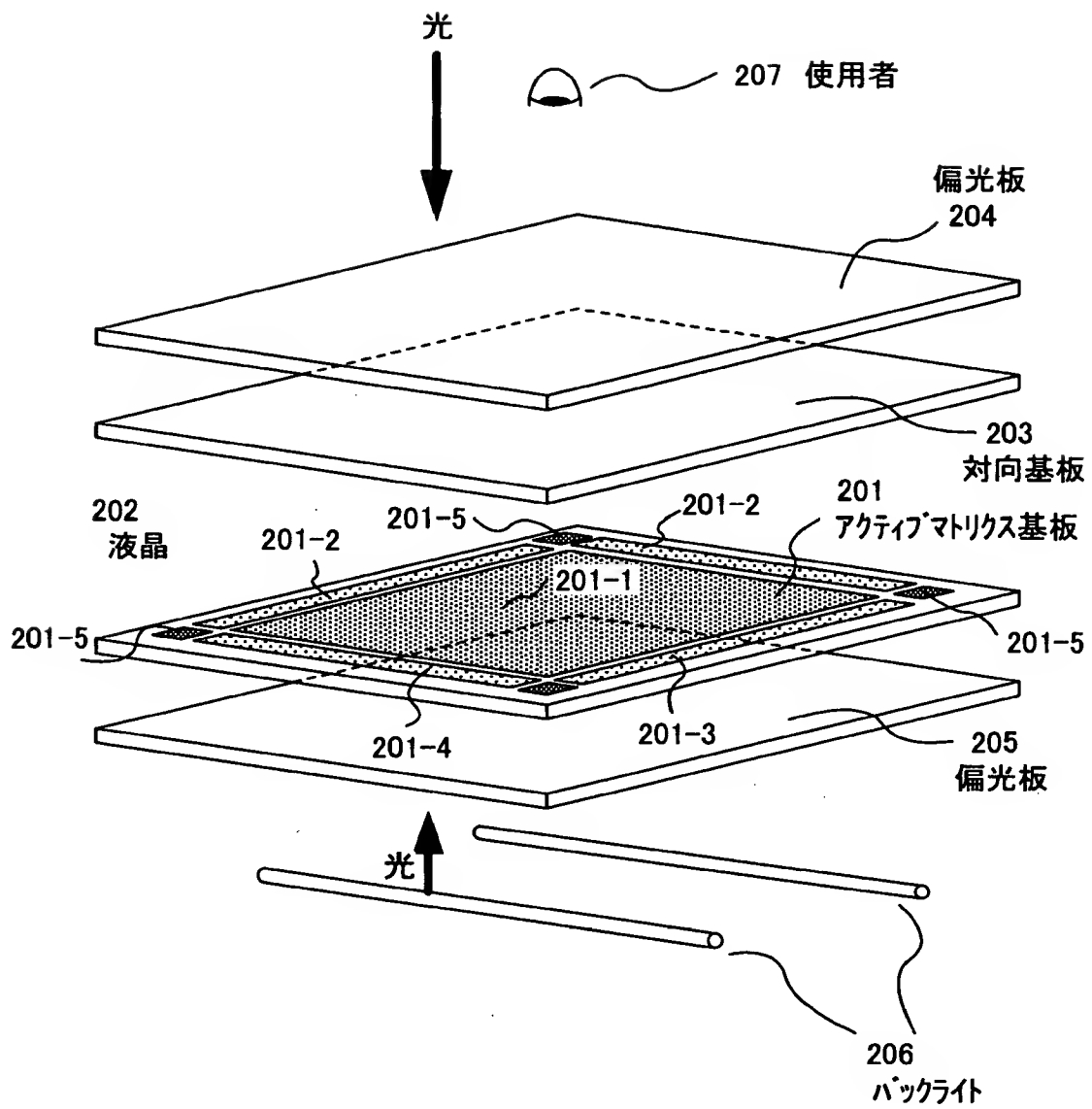
【図 14】 本発明の画像認識装置一体型表示装置のある実施形態の回路図である。

【書類名】 図面

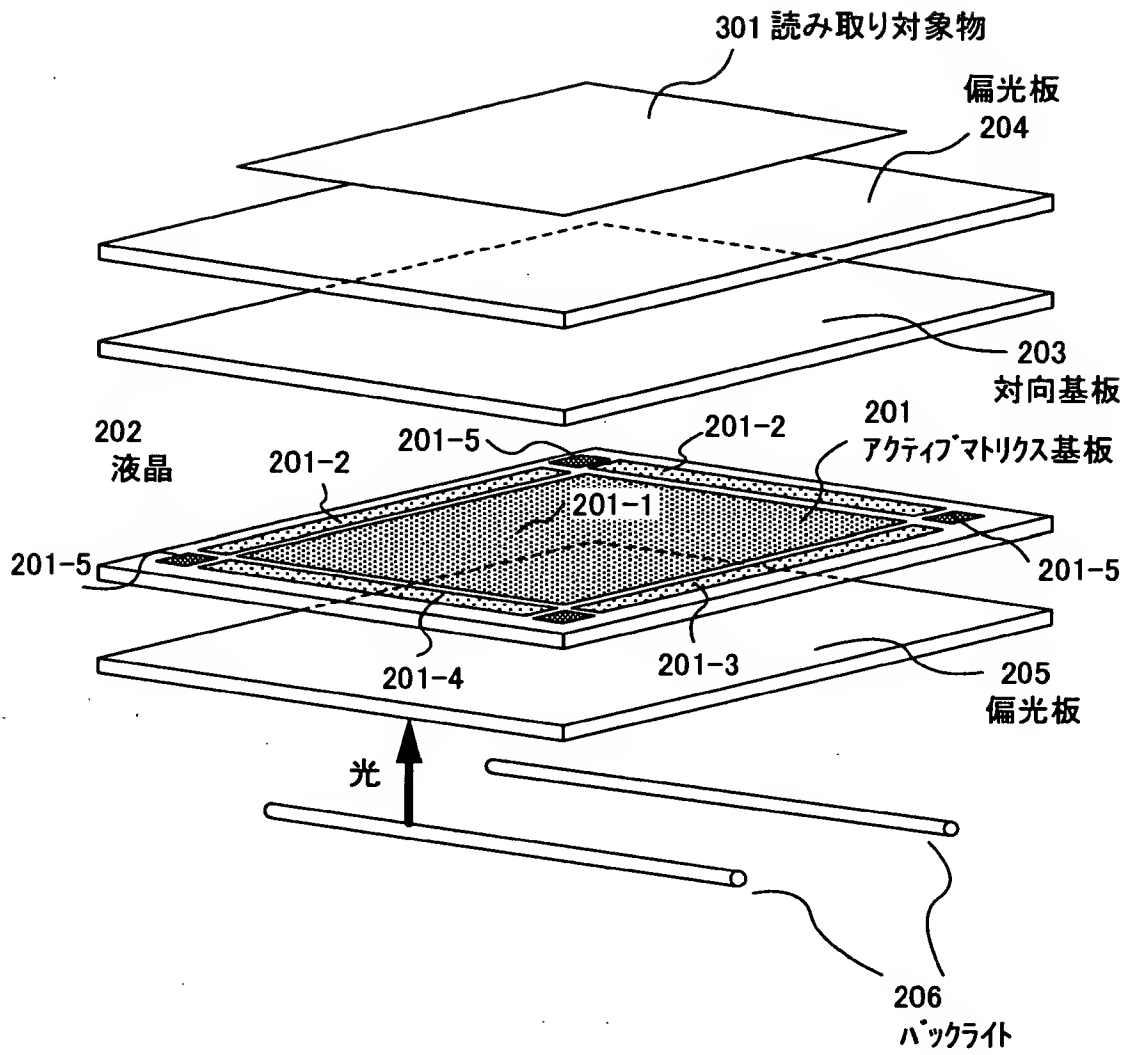
【図 1】



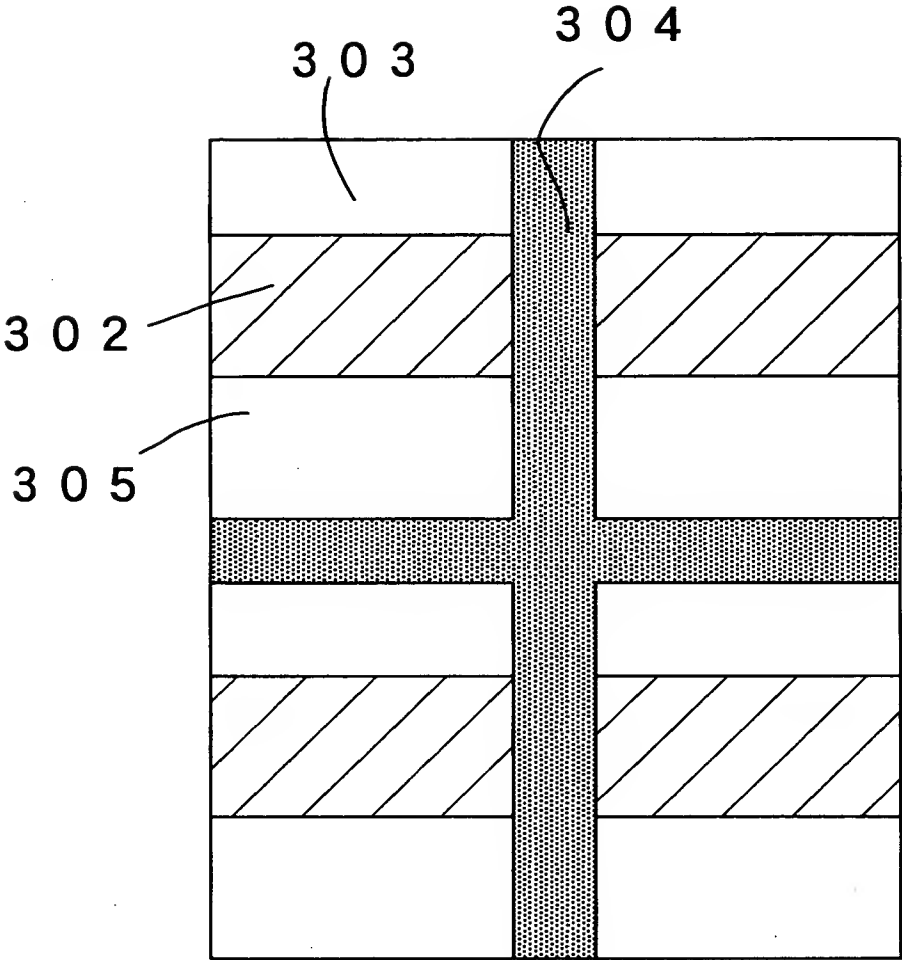
【図2】



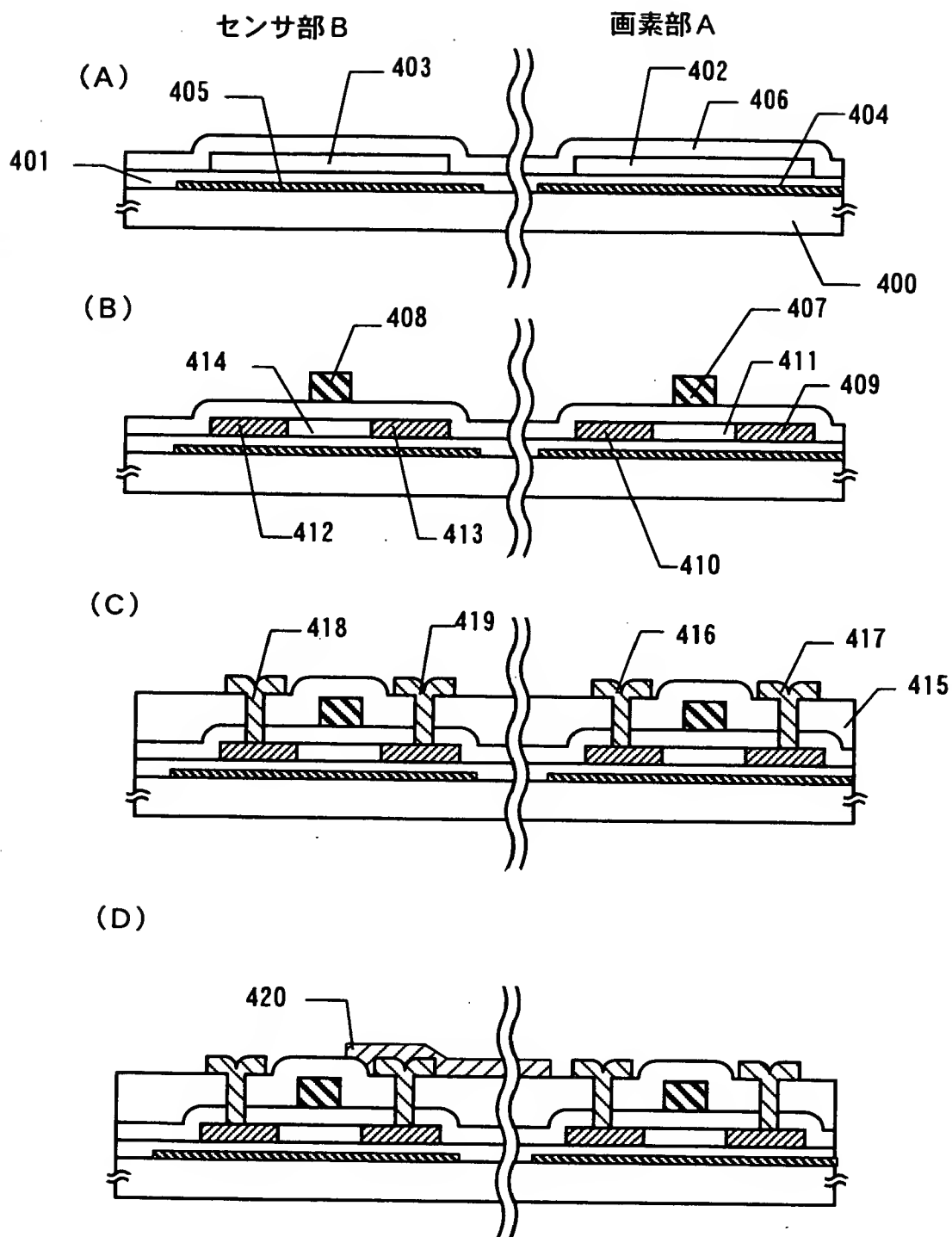
【図 3】



【图 4】

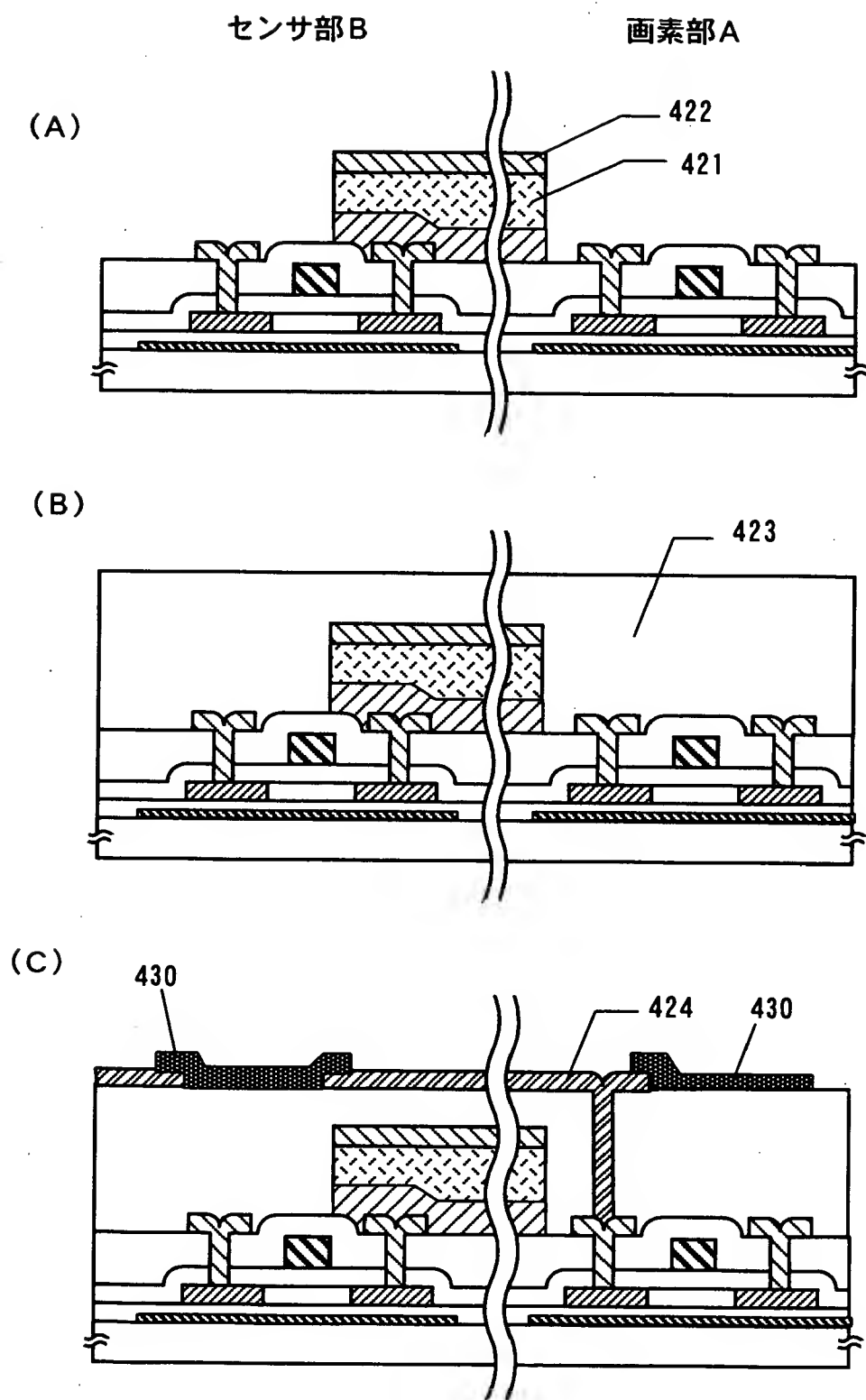


【図 6】



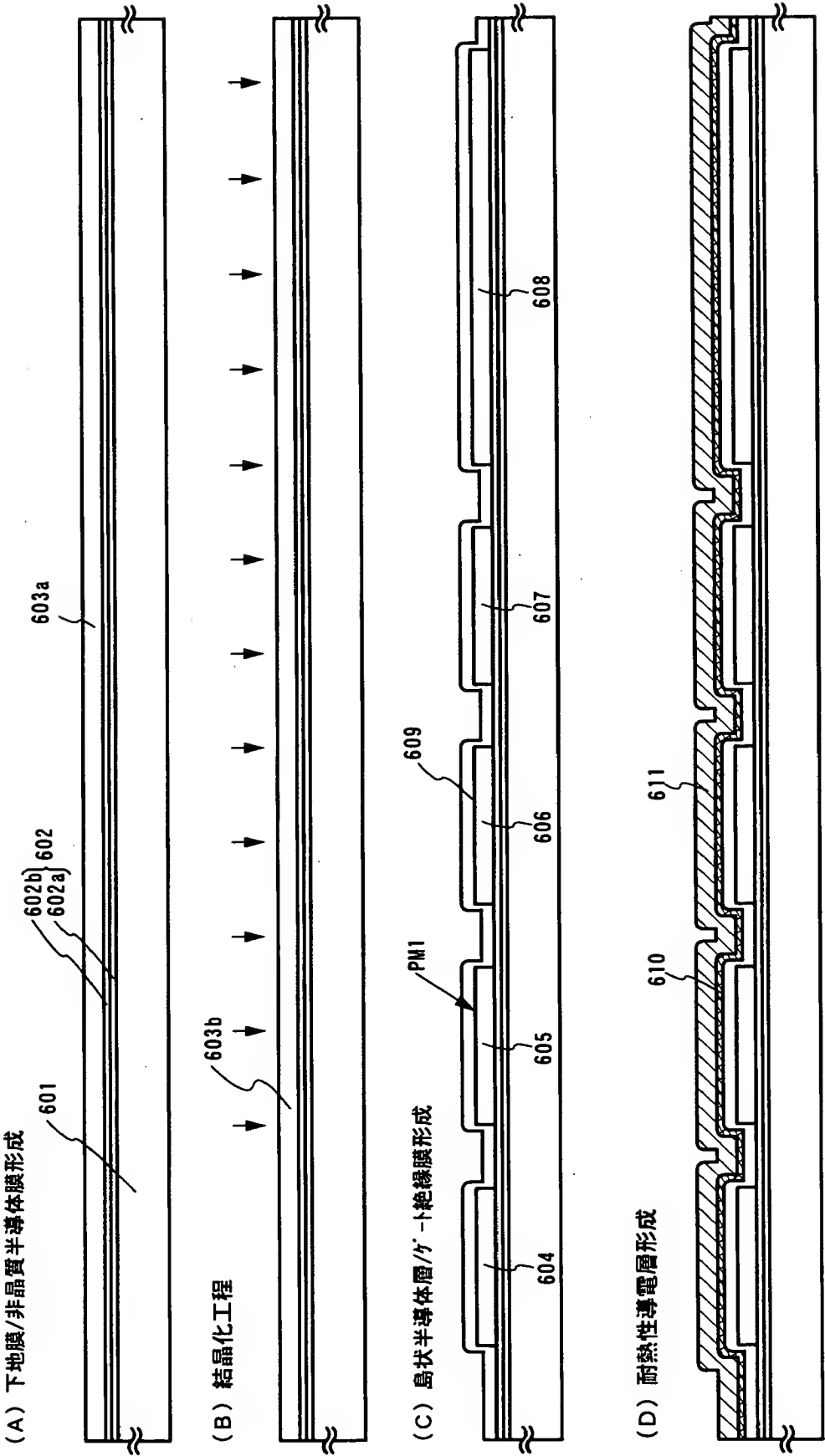
400 : 基板、401 : 下地膜、402, 403 : 島状半導体層、
 406 : ゲイト絶縁膜、404 : 遮光膜、405 : 遮光膜、
 407 : ゲイト電極、408 : ゲイト電極
 409, 410, 412, 413 : 不純物領域、411, 414 : チャネル領域、
 415 : 第1層間絶縁膜、416, 417, 418, 419 : 電極
 420 : 下部電極

【図 7】

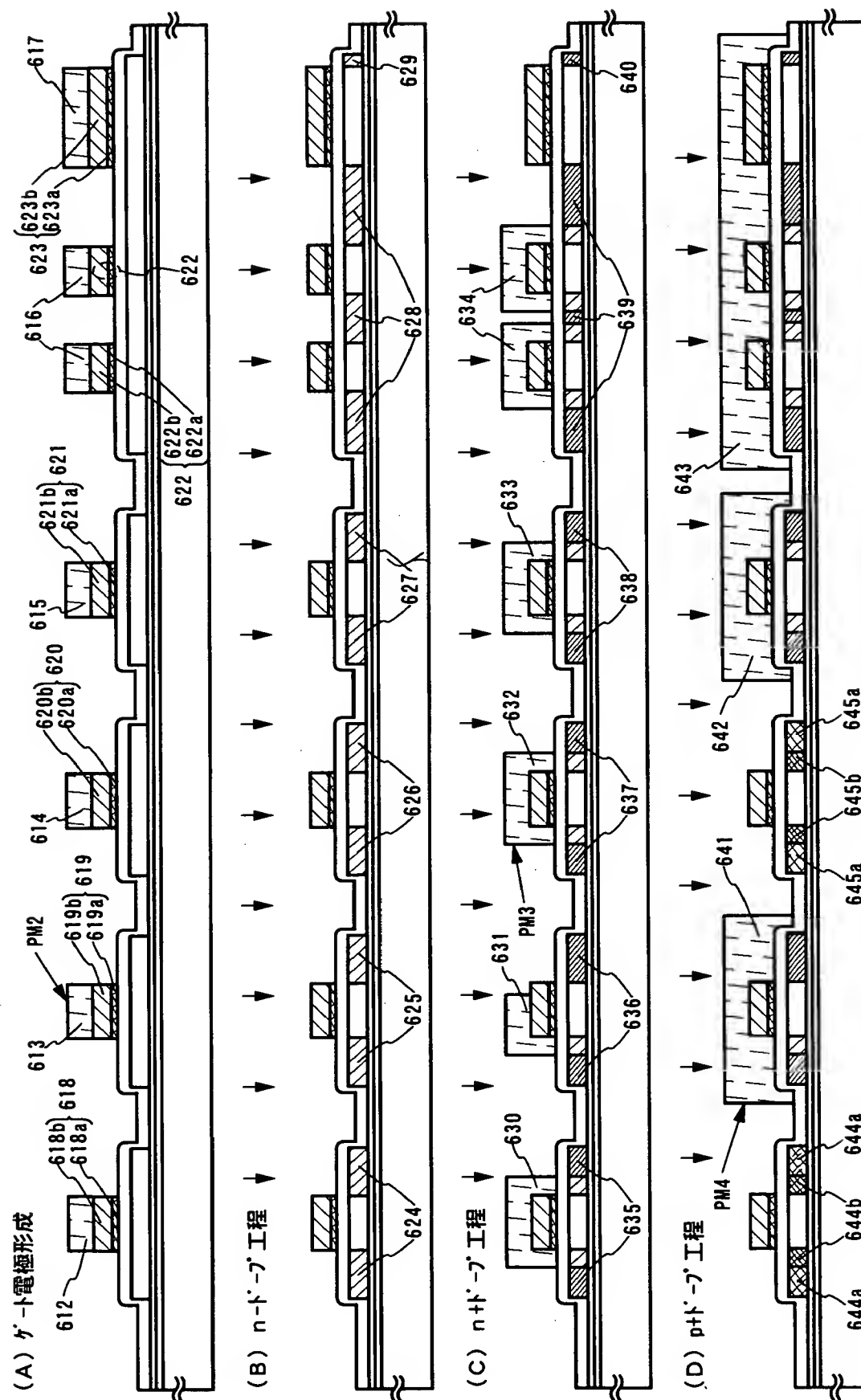


421 : 光電変換層、422 : 上部電極、423 : 第2層間絶縁膜
424 : 画素透明電極

【図 8】

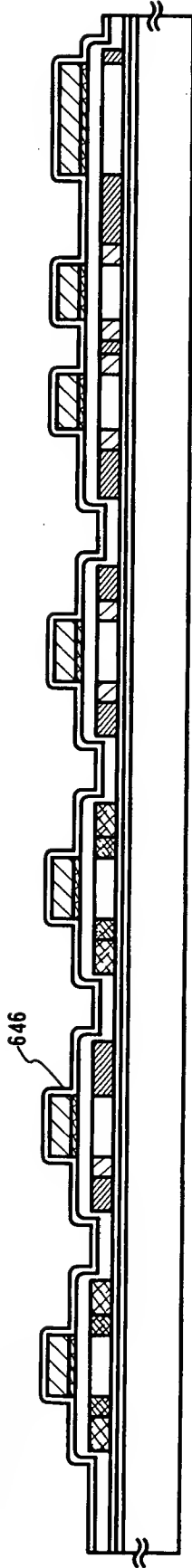


【図 9】

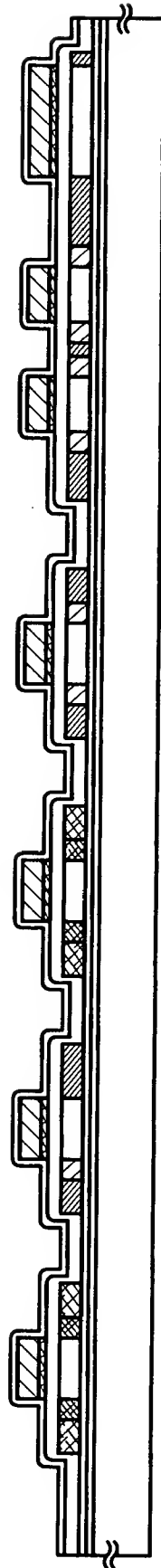


【図10】

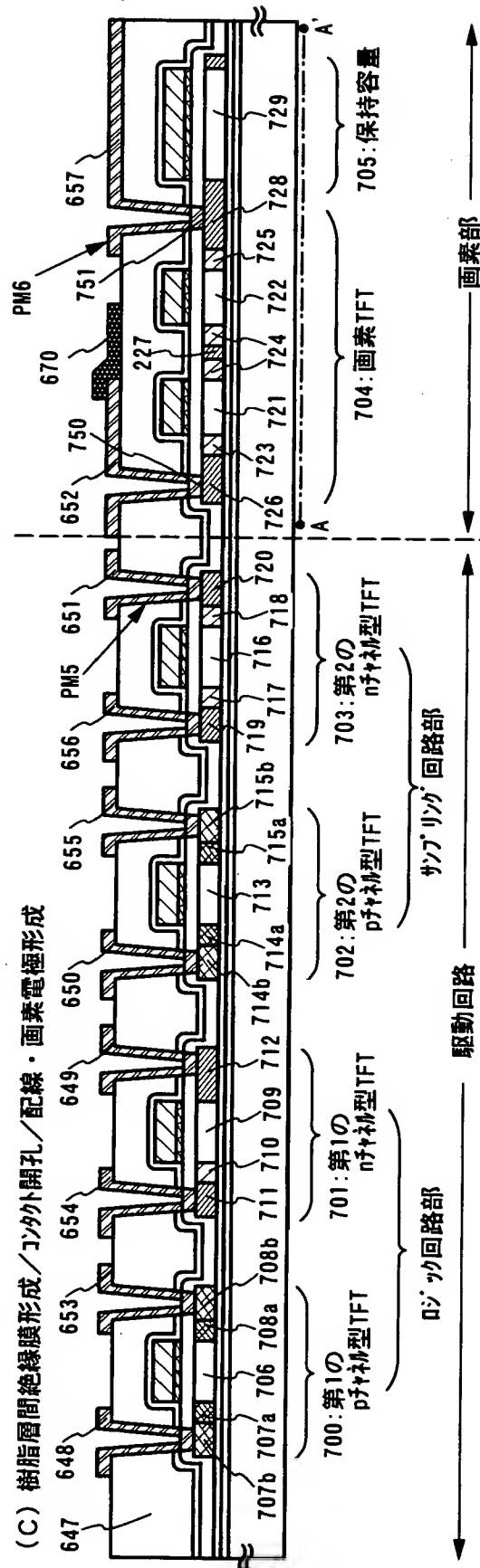
(A) 保護絶縁膜形成



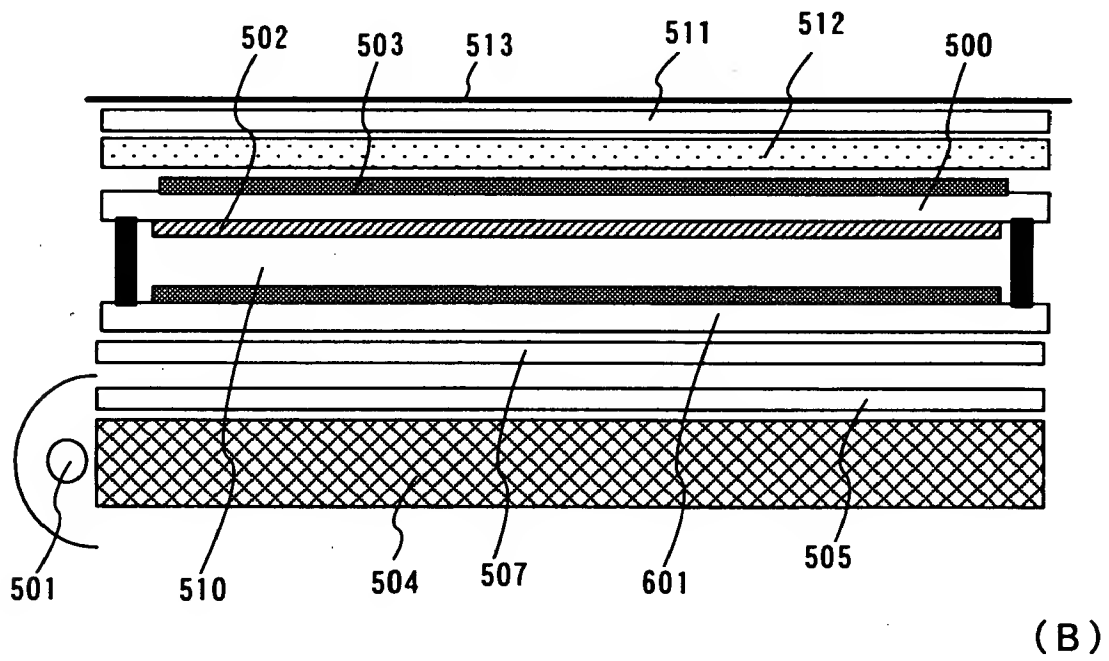
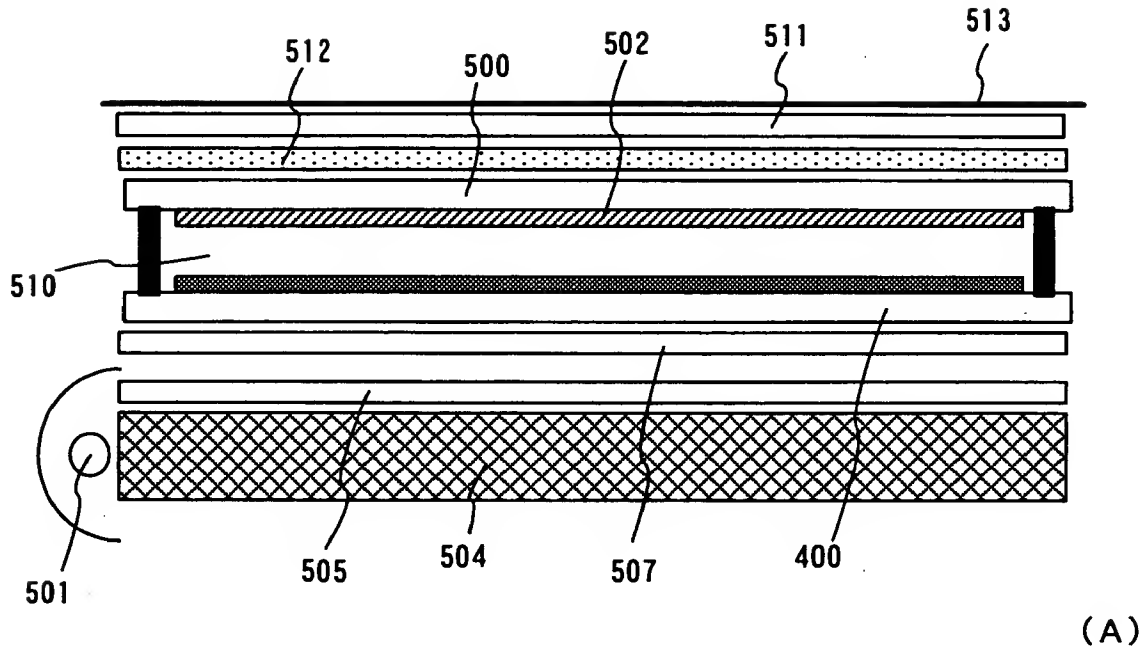
(B) 活性化工程



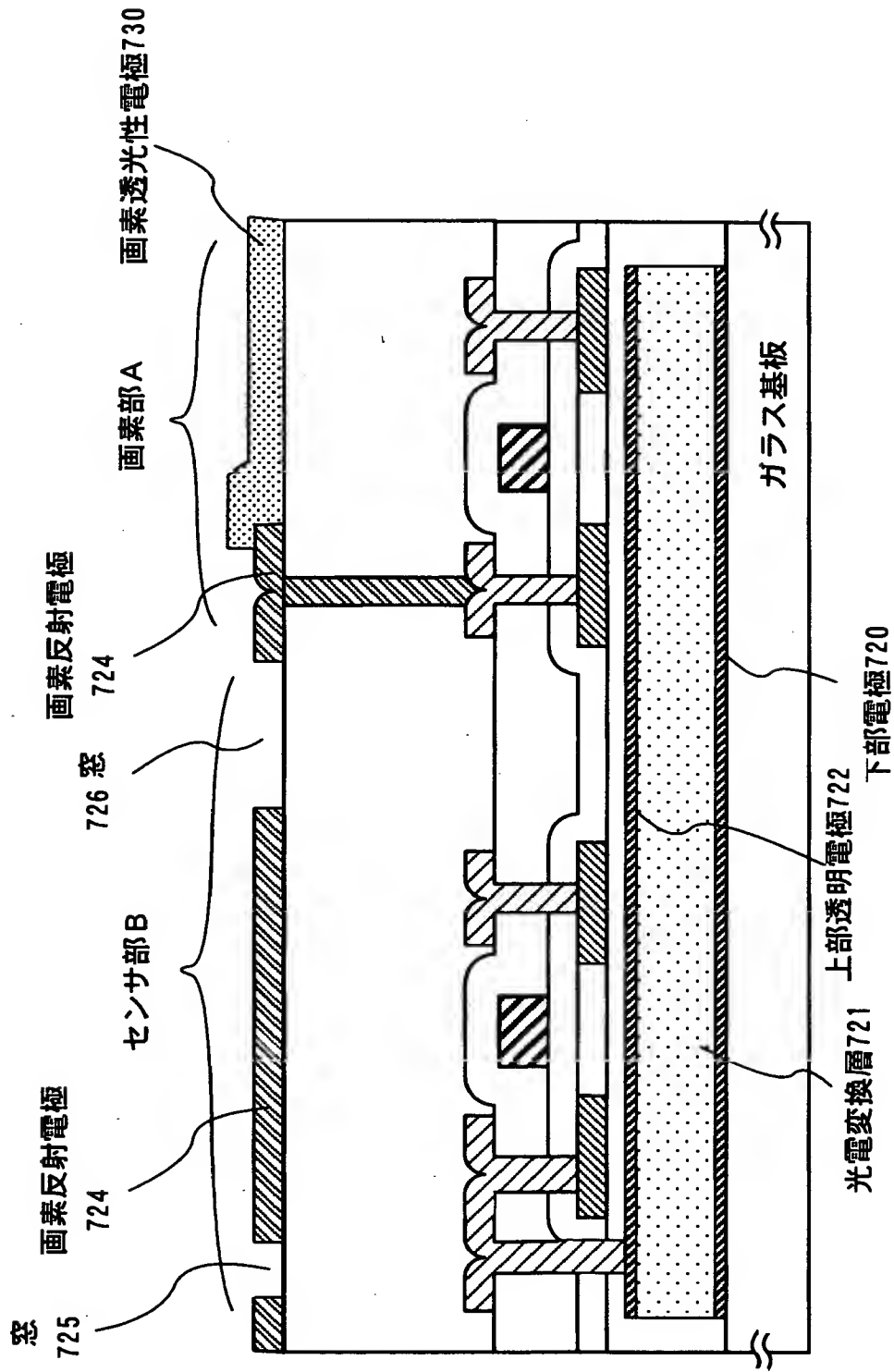
(C) 樹脂層間絶縁膜形成/コンタクト開孔/配線・画素電極形成



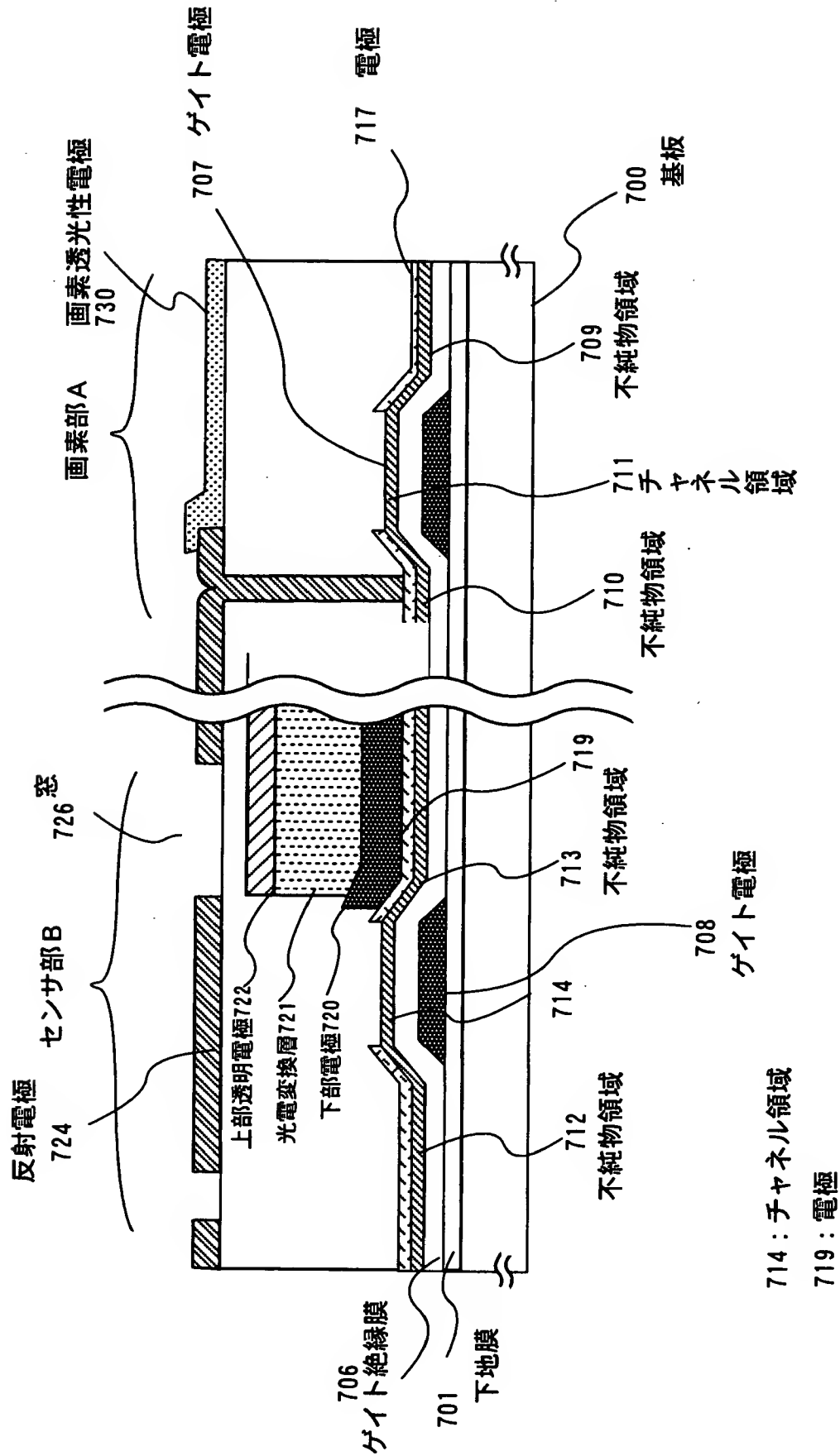
【图 11】



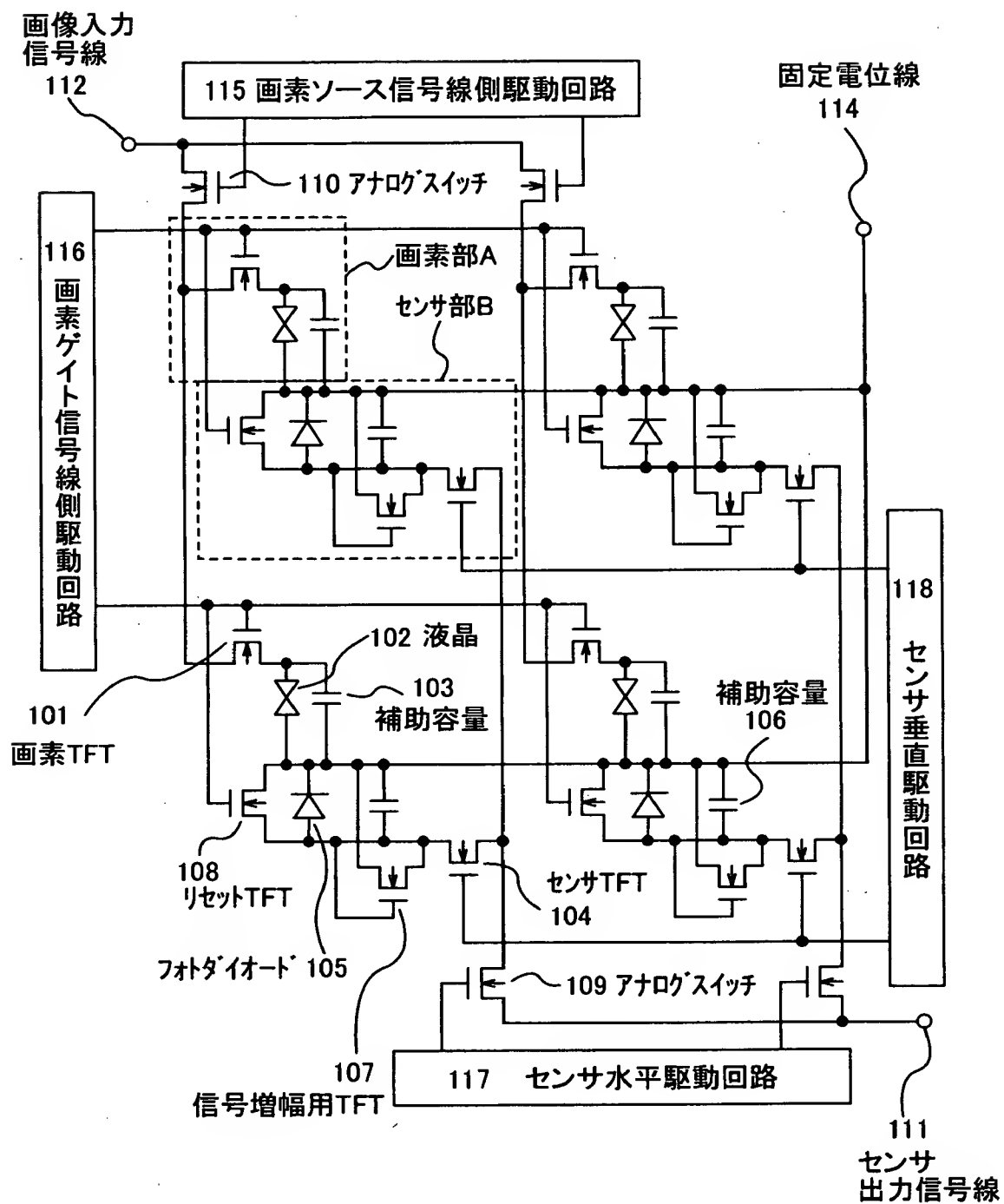
【図 12】



【図 1 3】



【図 1 4】



【書類名】 要約書

【要約】

【課題】 画素マトリクス、イメージセンサ、およびそれらを駆動するための周辺回路を有する、すなわち、画像認識機能と表示機能とを兼ね備え、インテリジェント化された新規な画像認識装置一体型表示装置を提供することにある。

【解決手段】 アクティブ素子を有しマトリクス状に配置された複数の画素部と、前記画素部の電極としてを使用したアクティブマトリクス基板と、前記アクティブマトリクス基板上にマトリクス状に配置された複数のセンサ部と、を有する表示装置であって、前記センサ部は、光電変換素子を有しており、外部の画像を読み取る際には、前記透光性材料を通過した光を利用して情報を読みとる構成とすることで、上記目的が達成される。

【選択図】 図 11

出 願 人 履 歴 情 報

識別番号

[000153878]

1. 変更年月日

1990年 8月17日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷398番地

氏 名

株式会社半導体エネルギー研究所